

Docket No.: 67161-110

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Masaru HARAGUCHI	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: October 06, 2003	:	Examiner:
	:	
For: SEMICONDUCTOR MEMORY DEVICE WITH READ AND/OR WRITE COLUMN SELECT GATE		

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

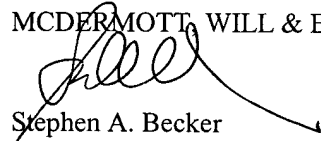
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claim the priority of:

Japanese Patent Application No. JP 2003-025499, filed on February 3, 2003.

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:gav
Facsimile: (202) 756-8087
Date: October 6, 2003

67161-110

Masaru HARAGUCHI

日 本 国 特 許 庁 October 6, 2003

JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 2月 3日

出 願 番 号

Application Number:

特願2003-025499

[ST.10/C]:

[JP2003-025499]

出 願 人

Applicant(s):

三菱電機株式会社

2003年 2月28日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎

出証番号 出証特2003-3011957

【書類名】 特許願

【整理番号】 541921JP01

【提出日】 平成15年 2月 3日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/34

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会
社内

 【氏名】 原口 大

【特許出願人】

 【識別番号】 000006013

 【氏名又は名称】 三菱電機株式会社

【代理人】

 【識別番号】 100064746

 【弁理士】

 【氏名又は名称】 深見 久郎

【選任した代理人】

 【識別番号】 100085132

 【弁理士】

 【氏名又は名称】 森田 俊雄

【選任した代理人】

 【識別番号】 100083703

 【弁理士】

 【氏名又は名称】 仲村 義平

【選任した代理人】

 【識別番号】 100096781

 【弁理士】

 【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 互いに独立に供給される第 1 の電源電位、第 2 の電源電位および基準電位によって駆動される半導体記憶装置であって、

複数行複数列に配置された複数のメモリセルと、それぞれ前記複数行に対応して設けられた複数のワード線と、それぞれ前記複数列に対応して設けられた複数組の第 1 および第 2 のビット線とを含むメモリアレイ、

各第 1 および第 2 のビット線に対応して設けられ、対応のビット線間に生じた電位差を前記第 1 の電源電位および前記基準電位の電位差に増幅するセンスアンプ、

行アドレス信号に従って前記複数のワード線のうちのいずれかのワード線を選択し、そのワード線に対応する各メモリセルを活性化させる行デコーダ、

前記複数組の第 1 および第 2 のビット線に共通に設けられ、予め前記第 2 の電源電位に充電された第 1 および第 2 の読出データ線、

それぞれ前記複数組の第 1 および第 2 のビット線に対応して設けられた複数の読出列選択線、

読出動作時において、列アドレス信号に従って前記複数の読出列選択線のうちのいずれかの読出列選択線を選択し、選択した読出列選択線を前記第 2 の電源電位にする読出列デコーダ、

各第 1 および第 2 のビット線に対応して設けられ、前記読出列デコーダによって対応の読出列選択線が前記第 2 の電源電位にされたことに応じて、対応の第 1 および第 2 のビット線の電位差を前記第 1 および第 2 の読出データ線に伝達させる読出列選択ゲート、および

前記第 1 および第 2 の読出データ線の電位差に基づいて、前記行デコーダおよび前記列デコーダによって選択されたメモリセルのデータ信号を読出す読出回路を備え、

前記読出列選択ゲートは、

前記第 1 の読出データ線と前記基準電位のラインとの間に直列接続され、それ

らのうちの一方のトランジスタのゲート電極が対応の第 1 のビット線に接続され、他方のトランジスタのゲート電極が対応の読出列選択線に接続された第 1 および第 2 のトランジスタ、および

前記第 2 の読出データ線と前記基準電位のラインとの間に直列接続され、それらのうちの一方のトランジスタのゲート電極が対応の第 2 のビット線に接続され、他方のトランジスタのゲート電極が対応の読出列選択線に接続された第 3 および第 4 のトランジスタを含む、半導体記憶装置。

【請求項 2】 さらに、前記複数組の第 1 および第 2 のビット線に共通に設けられた第 1 および第 2 の書込データ線、

それぞれ前記複数組の第 1 および第 2 のビット線に対応して設けられた複数の書込列選択線、

書込動作時において、列アドレス信号に従って前記複数の書込列選択線のうちのいずれかの書込列選択線を選択し、選択した書込列選択線を前記第 1 の電源電位にする書込列デコーダ、

外部データ信号に従って、前記第 1 および第 2 の書込データ線のうちのいずれか一方の書込データ線を前記第 2 の電源電位にするとともに、他方の書込データ線を前記基準電位にする書込回路、および

各第 1 および第 2 のビット線に対応して設けられ、前記書込列デコーダによって対応の書込列選択線が前記第 1 の電源電位にされたことに応じて、前記第 1 および第 2 の書込データ線の電位差を対応の第 1 および第 2 のビット線に伝達させる書込列選択ゲートを備え、

前記書込列選択ゲートは、

対応の第 1 のビット線と前記基準電位のラインとの間に直列接続され、それらのうちの一方のトランジスタのゲート電極が対応の書込列選択線に接続され、他方のトランジスタのゲート電極が前記第 1 の書込データ線に接続された第 5 および第 6 のトランジスタ、および

対応の第 2 のビット線と前記基準電位のラインとの間に直列接続され、それらのうちの一方のトランジスタのゲート電極が対応の書込列選択線に接続され、他方のトランジスタのゲート電極が前記第 2 の書込データ線に接続された第 7 およ

び第 8 のトランジスタを含む、請求項 1 に記載の半導体記憶装置。

【請求項 3】 さらに、前記複数組の第 1 および第 2 のビット線に共通に設けられた第 1 および第 2 の書込データ線、

それぞれ前記複数組の第 1 および第 2 のビット線に対応して設けられた複数の書込列選択線、

書込動作時において、列アドレス信号に従って前記複数の書込列選択線のうちのいずれかの書込列選択線を選択し、選択した書込列選択線を前記第 1 の電源電位にする書込列デコーダ、

外部データ信号に従って、前記第 1 および第 2 の書込データ線のうちのいずれか一方の書込データ線を前記第 2 の電源電位にするとともに、他方の書込データ線を前記基準電位にする書込回路、および

各第 1 および第 2 のビット線に対応して設けられ、ライトマスク信号が前記第 2 の電源電位の場合に活性化され、前記書込列デコーダによって対応の書込列選択線が前記第 1 の電源電位にされたことに応じて、前記第 1 および第 2 の書込データ線の電位差を対応の第 1 および第 2 のビット線に伝達させる書込列選択ゲートを備え、

前記書込列選択ゲートは、

対応の第 1 のビット線と前記第 1 の書込データ線との間に直列接続され、それらのうちの一方のトランジスタのゲート電極が前記ライトマスク信号を受け、他方のトランジスタのゲート電極が前記書込列選択線に接続された第 5 および第 6 のトランジスタ、および

対応の第 2 のビット線と前記第 2 の書込データ線との間に直列接続され、それらのうちの一方のトランジスタのゲート電極が前記ライトマスク信号を受け、他方のトランジスタのゲート電極が前記書込列選択線に接続された第 7 および第 8 のトランジスタを含む、請求項 1 に記載の半導体記憶装置。

【請求項 4】 互いに独立に供給される第 1 の電源電位、第 2 の電源電位および基準電位によって駆動される半導体記憶装置であって、

複数行複数列に配置された複数のメモリセルと、それぞれ前記複数行に対応して設けられた複数のワード線と、それぞれ前記複数列に対応して設けられた複数

組の第 1 および第 2 のビット線とを含むメモリアレイ、

各第 1 および第 2 のビット線に対応して設けられ、対応のビット線間に生じた電位差を前記第 1 の電源電位および前記基準電位の電位差に増幅するセンスアンプ、

行アドレス信号に従って前記複数のワード線のうちのいずれかのワード線を選択し、そのワード線に対応する各メモリセルを活性化させる行デコーダ、

前記複数組の第 1 および第 2 のビット線に共通に設けられた第 1 および第 2 の書込データ線、

それぞれ前記複数組の第 1 および第 2 のビット線に対応して設けられた複数の書込列選択線、

書込動作時において、列アドレス信号に従って前記複数の書込列選択線のうちのいずれかの書込列選択線を選択し、選択した書込列選択線を前記第 1 の電源電位にする書込列デコーダ、

外部データ信号に従って、前記第 1 および第 2 の書込データ線のうちのいずれか一方の書込データ線を前記第 2 の電源電位にするとともに、他方の書込データ線を前記基準電位にする書込回路、および

各第 1 および第 2 のビット線に対応して設けられ、前記書込列デコーダによって対応の書込列選択線が前記第 1 の電源電位にされたことに応じて、前記第 1 および第 2 の書込データ線の電位差を対応の第 1 および第 2 のビット線に伝達させる書込列選択ゲートを備え、

前記書込列選択ゲートは、

対応の第 1 のビット線と前記基準電位のラインとの間に直列接続され、それらのうちの一方のトランジスタのゲート電極が対応の書込列選択線に接続され、他方のトランジスタのゲート電極が前記第 1 の書込データ線に接続された第 5 および第 6 のトランジスタ、および

対応の第 2 のビット線と前記基準電位のラインとの間に直列接続され、それらのうちの一方のトランジスタのゲート電極が対応の書込列選択線に接続され、他方のトランジスタのゲート電極が前記第 2 の書込データ線に接続された第 7 および第 8 のトランジスタを含む、半導体記憶装置。

【請求項 5】 互いに独立に供給される第 1 の電源電位、第 2 の電源電位および基準電位によって駆動される半導体記憶装置であって、

複数行複数列に配置された複数のメモリセルと、それぞれ前記複数行に対応して設けられた複数のワード線と、それぞれ前記複数列に対応して設けられた複数組の第 1 および第 2 のビット線とを含むメモリアレイ、

各第 1 および第 2 のビット線に対応して設けられ、対応のビット線間に生じた電位差を前記第 1 の電源電位および前記基準電位の電位差に増幅するセンスアンプ、

行アドレス信号に従って前記複数のワード線のうちのいずれかのワード線を選択し、そのワード線に対応する各メモリセルを活性化させる行デコーダ、

前記複数組の第 1 および第 2 のビット線に共通に設けられた第 1 および第 2 の書込データ線、

それぞれ前記複数組の第 1 および第 2 のビット線に対応して設けられた複数の書込列選択線、

書込動作時において、列アドレス信号に従って前記複数の書込列選択線のうちのいずれかの書込列選択線を選択し、選択した書込列選択線を前記第 1 の電源電位にする書込列デコーダ、

外部データ信号に従って、前記第 1 および第 2 の書込データ線のうちのいずれか一方の書込データ線を前記第 2 の電源電位にするとともに、他方の書込データ線を前記基準電位にする書込回路、および

各第 1 および第 2 のビット線に対応して設けられ、ライトマスク信号が前記第 2 の電源電位の場合に活性化され、前記書込列デコーダによって対応の書込列選択線が前記第 1 の電源電位にされたことに応じて、前記第 1 および第 2 の書込データ線の電位差を対応の第 1 および第 2 のビット線に伝達させる書込列選択ゲートを備え、

前記書込列選択ゲートは、

対応の第 1 のビット線と前記第 1 の書込データ線との間に直列接続され、それらのうちの一方のトランジスタのゲート電極が前記ライトマスク信号を受け、他方のトランジスタのゲート電極が前記書込列選択線に接続された第 5 および第 6

のトランジスタ、および

対応の第 2 のビット線と前記第 2 の書込データ線との間に直列接続され、それらのうちの一方のトランジスタのゲート電極が前記ライトマスク信号を受け、他方のトランジスタのゲート電極が前記書込列選択線に接続された第 7 および第 8 のトランジスタを含む、半導体記憶装置。

【請求項 6】 互いに独立に供給される第 1 の電源電位、第 2 の電源電位および基準電位によって駆動される半導体記憶装置であって、

複数行複数列に配置された複数のメモリセルと、それぞれ前記複数行に対応して設けられた複数のワード線と、それぞれ前記複数列に対応して設けられた複数組の第 1 および第 2 のビット線とを含むメモリアレイ、

各第 1 および第 2 のビット線に対応して設けられ、対応のビット線間に生じた電位差を前記第 1 の電源電位および前記基準電位の電位差に増幅するセンスアンプ、

行アドレス信号に従って前記複数のワード線のうちのいずれかのワード線を選択し、そのワード線に対応する各メモリセルを活性化させる行デコーダ、

前記複数組の第 1 および第 2 のビット線に共通に設けられた第 1 および第 2 のデータ線、

それぞれ前記複数組の第 1 および第 2 のビット線に対応して設けられた複数組の第 1 および第 2 の列選択線、

列アドレス信号に従って前記複数組の第 1 および第 2 の列選択線のうちのいずれかの第 1 および第 2 の列選択線を選択し、選択した第 1 および第 2 の列選択線をそれぞれ前記第 1 および第 2 の電源電位にする列デコーダ、

各第 1 および第 2 のビット線に対応して設けられ、前記列デコーダによって対応の第 1 および第 2 の列選択線がそれぞれ前記第 1 および第 2 の電源電位にされたことに応じて、対応の第 1 のビット線と前記第 1 のデータ線とを接続するとともに対応の第 2 のビット線と前記第 2 のデータ線とを接続する列選択ゲート、および

前記第 1 および第 2 のデータ線に接続され、前記行デコーダおよび前記列デコーダによって選択されたメモリセルのデータ信号の読出／書込を行なう読出／書

込回路を備え、

前記列選択ゲートは、

対応の第 1 のビット線と前記第 1 のデータ線との間に直列接続され、それらのうちの一方のトランジスタのゲート電極が前記第 1 の列選択線に接続され、他方のトランジスタのゲート電極が前記第 2 の列選択線に接続された第 1 および第 2 のトランジスタ、および

対応の第 2 のビット線と前記第 2 のデータ線との間に直列接続され、それらのうちの一方のトランジスタのゲート電極が前記第 1 の列選択線に接続され、他方のトランジスタのゲート電極が前記第 2 の列選択線に接続された第 3 および第 4 のトランジスタを含む、半導体記憶装置。

【請求項 7】 さらに、前記読出／書込回路は、前記メモリセルのデータの書換えを禁止するライトマスク動作時は、前記第 1 および第 2 のデータ線の各々を前記第 2 の電源電位にする、請求項 6 に記載の半導体記憶装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は半導体記憶装置に関し、特に、互いに独立に供給される 2 つの電源電位および基準電位によって駆動される半導体記憶装置に関する。

【0 0 0 2】

【従来の技術】

ダイナミックランダムアクセスメモリ（以下、D R A M と称す）のように微小な電位差を増幅して用いる半導体記憶装置は、動作を安定して行なうためのアレイ用電源電圧を生成する降圧回路を含む。周辺回路は、低消費電力化のため外部直結型の周辺回路用電源電圧で駆動される。従来の D R A M では、読出列選択線および書込列選択線は、アレイ用電源電圧または周辺回路用電源電圧のうちのどちらか一方の電源電圧で駆動される。

【0 0 0 3】

スケーリング則を利用した半導体集積回路の微細化に伴い、供給電源電圧の低電圧化が進められている。このため、製造工程で生じるしきい値電圧やゲート長

のばらつきに起因するトランジスタの駆動能力のばらつきが顕在化し、動作電圧の上下変動によってトランジスタのスイッチング特性や回路動作速度が大きく変動してしまう。アレイ用電源電圧と周辺回路用電源電圧は、標準値は同一であっても動作中の電圧降下や外乱などに起因して上下変動することがある。

【0004】

この問題を解決するため、ビット線とデータ線とを接続するMOSトランジスタのゲートに供給される列選択信号の選択レベルを、通常の動作範囲の低電圧側では外部端子から供給された電源電圧の変化に対応した電圧とし、通常の動作範囲の高電圧側では降圧電圧の変化に対応した電圧とすることによって、動作の高速化と安定化を図る方法が提案されている（たとえば、特許文献1参照）。

【0005】

【特許文献1】

特開2000-90663号公報

【0006】

【発明が解決しようとする課題】

読出列選択線および書込列選択線が同一の電源電圧で駆動される従来のDRAMでは、読出列選択線および書込列選択線がともにアレイ用電源電圧で駆動される場合、読出列選択ゲートに接続されるビット線対および読出列選択線がともにアレイ用電源電圧で駆動される。このため、アレイ用電源電圧が低くなり、周辺回路用電源電圧が高くなったときは、読出データ線から電荷が引き抜かれる速度が遅くなる一方、周辺回路用電源電圧で生成されるプリアンプ活性化信号の遅延量は小さいため、読出データ線対間の電位差が小さなうちにプリアンプが活性化されてしまうという誤動作を起こすことがあり、タイミングマージンが不足していた。この対策として、プリアンプ活性化信号の遅延量を大きくすると、動作周波数が低くなってしまう。

【0007】

また、読出列選択線および書込列選択線がともに周辺回路用電源電圧で駆動される場合、書込列選択ゲートに接続される書込列選択線および書込データ線対はともに周辺回路用電源電圧で駆動される。このため、アレイ用電源電圧が高くな

り、周辺回路用電源電圧が低くなったときは、書込列選択ゲートの駆動能力がセンスアンプのPチャネルMOSトランジスタの駆動能力よりも低いためデータを反転させることができなくなることがあり、動作マージンが不足していた。

【0008】

したがって、読出列選択ゲートおよび書込列選択ゲートに接続される読出列選択線および書込列選択線を同一の電源電圧で駆動していた従来のDRAMでは、その電源電圧が低く、同時に他方の電源電圧が高くなるとタイミングマージンおよび動作マージンが極端に少なくなっていたため、動作の高速化と安定化が十分に図れなかった。

【0009】

それゆえに、この発明の主たる目的は、タイミングマージンが大きく、動作の高速化と安定化が可能な半導体記憶装置を提供することである。

【0010】

この発明の他の目的は、動作マージンが大きく、動作の高速化と安定化が可能な半導体記憶装置を提供することである。

【0011】

【課題を解決するための手段】

この発明に係る半導体記憶装置は、互いに独立に供給される第1の電源電位、第2の電源電位および基準電位によって駆動される半導体記憶装置であって、複数行複数列に配置された複数のメモリセルと、それぞれ複数行に対応して設けられた複数のワード線と、それぞれ複数列に対応して設けられた複数組の第1および第2のビット線とを含むメモリアレイと、各第1および第2のビット線に対応して設けられ、対応のビット線間に生じた電位差を第1の電源電位および基準電位の電位差に増幅するセンスアンプと、行アドレス信号に従って複数のワード線のうちのいずれかのワード線を選択し、そのワード線に対応する各メモリセルを活性化させる行デコーダと、複数組の第1および第2のビット線に共通に設けられ、予め第2の電源電位に充電された第1および第2の読出データ線と、それぞれ複数組の第1および第2のビット線に対応して設けられた複数の読出列選択線と、読出動作時において、列アドレス信号に従って複数の読出列選択線のうちの

いずれかの読出列選択線を選択し、選択した読出列選択線を第2の電源電位にする読出列デコーダと、各第1および第2のビット線に対応して設けられ、読出列デコーダによって対応の読出列選択線が第2の電源電位にされたことに応じて、対応の第1および第2のビット線の電位差を第1および第2の読出データ線に伝達させる読出列選択ゲートと、第1および第2の読出データ線の電位差に基づいて、行デコーダおよび列デコーダによって選択されたメモリセルのデータ信号を読出す読出回路とを備えたものである。ここで、読出列選択ゲートは、第1の読出データ線と基準電位のラインとの間に直列接続され、それらのうちの一方のトランジスタのゲート電極が対応の第1のビット線に接続され、他方のトランジスタのゲート電極が対応の読出列選択線に接続された第1および第2のトランジスタと、第2の読出データ線と基準電位のラインとの間に直列接続され、それらのうちの一方のトランジスタのゲート電極が対応の第2のビット線に接続され、他方のトランジスタのゲート電極が対応の読出列選択線に接続された第3および第4のトランジスタとを含む。

【0012】

【発明の実施の形態】

【実施の形態1】

図1は、この発明の実施の形態1によるDRAMの全体構成を示すブロック図である。図1において、このDRAMは、クロック発生回路1、行および列アドレスバッファ2、行デコーダ3、列デコーダ4、メモリアレイ5、センスアンプ+入出力制御回路6、書込回路7、読出回路8およびVDC（降圧回路）9を備える。

【0013】

クロック発生回路1は、外部制御信号／RAS、／CASに従って所定の動作モードを選択し、DRAM全体を制御する。行および列アドレスバッファ2は、外部アドレス信号A0～Ai（ただし、iは0以上の整数である）に従って行アドレス信号RA0～RAiおよび列アドレス信号CA0～CAiを生成し、生成した信号RA0～RAiおよびCA0～CAiをそれぞれ行デコーダ3および列デコーダ4に与える。

【 0 0 1 4 】

メモリアレイ 5 は、それぞれが 1 ビットのデータを記憶する複数のメモリセルを含む。各メモリセルは、行アドレスおよび列アドレスによって決定される所定のアドレスに配置される。

【 0 0 1 5 】

行デコーダ 3 は、行および列アドレスバッファ 2 から与えられた行アドレス信号 $RA_0 \sim RA_i$ に従って、メモリアレイ 5 の行アドレスを指定する。列デコーダ 4 は、行および列アドレスバッファ 2 から与えられた列アドレス信号 $CA_0 \sim CA_i$ に従って、メモリアレイ 5 の列アドレスを指定する。

【 0 0 1 6 】

センスアンプ+入出力制御回路 6 は、行デコーダ 3 および列デコーダ 4 によって指定されたアドレスのメモリセルを書込データ線対 $DLWP$ および読出データ線対 $DLRP$ の一方端に接続する。書込データ線対 $DLWP$ の他方端は書込回路 7 に接続され、読出データ線対 $DLRP$ の他方端は読出回路 8 に接続される。書込回路 7 は、書込動作時に、外部制御信号 $/W$ に応答して、外部から入力された書込データ信号 D_j （ただし、 j は 0 以上の整数である）を書込データ線対 $DLWP$ を介して選択されたメモリセルに与える。読出回路 8 は、読出動作時に外部制御信号 $/OE$ に応答して、選択されたメモリセルから読出データ線対 $DLRP$ を介して与えられた読出データ信号 Q_j を、外部に出力する。 VDC_9 は、外部電源電位 VCC を降圧してアレイ用電源電位 VDD_S を生成する。この DRAM は、互いに独立に供給されるアレイ用電源電位 VDD_S 、周辺回路用電源電位 VDD および接地電位 GND によって駆動される。

【 0 0 1 7 】

図 2 は、図 1 に示した DRAM のレイアウト図である。図 2 において、この DRAM は、メモリマット 11、中央制御帯 12、デコーダ帯 13 およびデータバス帯 14 に配置される。

【 0 0 1 8 】

メモリマット 11 には、図 1 に示したメモリアレイ 5 とセンスアンプ+入出力制御回路 6 とが配置される。また、中央制御帯 12 にはクロック発生回路 1 と行

および列アドレスバッファ 2 とが配置され、デコーダ帯 1 3 には行デコーダ 3 と列デコーダ 4 とが配置され、データパス帯 1 4 には書込回路 7 と読出回路 8 とが配置される。

【 0 0 1 9 】

行デコーダ 3 および列デコーダ 4 は複数のデコーダ帯単位回路 1 5 で構成され、書込回路 7 および読出回路 8 は複数のデータパス帯単位回路 1 6 で構成される。書込列選択線 C S L W および読出列選択線 C S L R は、X 軸方向（ワード線 W L 方向）に延在する C S L 横入れ方式で配置される。書込データ線対 D L W P および読出データ線対 D L R P は Y 軸方向に配置される。

【 0 0 2 0 】

図 3 は、図 2 に示したメモリマット 1 1 の構成を示すブロック図である。図 3 において、このメモリマット 1 1 には、 n 組（ただし、 n は 1 以上の整数である）のメモリアレイ M A 1 ～ M A n と、メモリアレイ M A 1 ～ M A n の間および両側にセンスアンプ帯 S A 1 ～ S A $n + 1$ とが設けられる。メモリアレイ M A 1 ～ M A n の各々は、それぞれデータ信号 D Q 0 ～ D Q j に対応する $j + 1$ 個のメモリブロック M B に分割されている。また、センスアンプ帯 S A 1 ～ S A $n + 1$ の各々は、それぞれデータ信号 D Q 0 ～ D Q j に対応する $j + 1$ 個のセンスブロック S B に分割されている。

【 0 0 2 1 】

メモリマット 1 1 には、それぞれ読出データ信号 Q 0 ～ Q j を読出するための $j + 1$ 本の読出データ線対 D L R P と、それぞれ書込データ信号 D 0 ～ D j を書込むための $j + 1$ 本の書込データ線対 D L W P とが設けられる。読出データ線対 D L R P および書込データ線対 D L W P は、対応する複数のセンスブロック S B および複数のメモリブロック M B を横切るように配置され、それらの一方端はデータパス帯単位回路 1 6 に接続される。

【 0 0 2 2 】

メモリブロック M B は、図 4 に示すように、複数行複数列に配置された複数のメモリセル M C と、それぞれ複数行に対応して設けられた複数のワード線 W L と、それぞれ複数列に対応して設けられた複数のビット線対 B L， $\neg$ B L とを含む

。メモリセルMCは、アクセス用のNチャネルMOSトランジスタQと情報記憶用のキャパシタCとを含む。メモリセルMCのNチャネルMOSトランジスタQのゲートは対応する行のワード線WLに接続される。NチャネルMOSトランジスタQは、対応する列のビット線BLとそのメモリセルMCのキャパシタCの一方電極（ストレージノードSN）との間に接続される。メモリセルMCのキャパシタCの他方電極はセルプレート電位VCPを受ける。ワード線WLは、デコーダ帯単位回路15の出力を伝達し、選択された行のメモリセルMCを活性化させる。ビット線対BL，／BLは、選択されたメモリセルMCのデータ信号の入出力を行なう。

【0023】

ワード線WLを選択レベルの「H」レベルにすると、ワード線WLに対応する行の各メモリセルMCのNチャネルMOSトランジスタQが導通し、各メモリセルMCのデータの書込みおよび読出しが可能になる。書込動作時は、1本のワード線WLを選択レベルの「H」レベルにしてメモリセルMCを活性化させた後、対応する書込データ信号Djに従って1つのビット線対BL，／BLのうち一方のビット線を「H」レベルにして他方のビット線を「L」レベルにする。これにより、ビット線の電位が所望のメモリセルMCに書込まれる。

【0024】

読込動作時は、ビット線対BL，／BLの電位をビット線プリチャージ電位VBL（= $V_{DDS}/2$ ）にイコライズした後、1本のワード線WLを選択レベルの「H」レベルにしてメモリセルMCのNチャネルMOSトランジスタQを導通させる。これにより、各ビット線対BL，／BL間にメモリセルMCの記憶データに応じた微小電位差が生じる。各ビット線対BL，／BL間の微小電位差をアレイ用電源電圧VDDに増幅した後、1つのビット線対BL，／BL間の電位差を検出することにより、所望のメモリセルMCのデータ信号を読出すことができる。

【0025】

図5は、図3に示したセンスアンプ帯SA2の1つの列の構成を詳細に示す回路図である。図5において、このセンスアンプ帯SA2の1つの列は、図4に示

したメモリブロックMBに含まれる1つの列（1つのビット線対BL，／BL）に対応して設けられる。

【0026】

ビット線対BL，／BLおよび書込列選択線CSLWはアレイ用電源電圧VDDSで駆動され、読出列選択線CSLR、読出データ線対／DLR，DLRおよび書込データ線対／DLW，DLWは周辺回路用電源電圧VDDで駆動される。

【0027】

メモリセルMCは、図4で説明した周知のものである。イコライザ21は、NチャネルMOSトランジスタ25～27を含む。NチャネルMOSトランジスタ25はメモリアレイMA1のビット線対BL，／BLの間に接続され、NチャネルMOSトランジスタ26，27はメモリアレイMA1のビット線対BL，／BLの間に直列接続される。NチャネルMOSトランジスタ25～27のゲートは、ともにビット線イコライズ信号BLEQを受ける。NチャネルMOSトランジスタ26，27の間のノードは、ビット線プリチャージ電位VBL（=VDDS／2）を受ける。ビット線イコライズ信号BLEQが活性化レベルの「H」レベルになると、NチャネルMOSトランジスタ25～27が導通してビット線対BL，／BLの電位がビット線プリチャージ電位VBLにイコライズされ、ビット線イコライズ信号BLEQが「L」レベルになると、NチャネルMOSトランジスタ25～27が非導通になってビット線対BL，／BLのイコライズが停止される。イコライザ46は、イコライザ21と同じ構成であり、メモリアレイMA2のビット線対BL，／BLに接続される。

【0028】

NチャネルMOSトランジスタ28，29は、それぞれメモリアレイMA1のビット線BL，／BLとノードN28，N29との間に接続され、各々のゲートはともにアレイ選択信号BLI1を受ける。また、NチャネルMOSトランジスタ44，45は、それぞれノードN28，N29とメモリアレイMA2のビット線BL，／BLとの間に接続され、各々のゲートはともにアレイ選択信号BLI2を受ける。アレイ選択信号BLI1が「H」レベルになるとNチャネルMOSトランジスタ28，29が導通してメモリアレイMA1のビット線BL，／BL

とノードN 2 8, 2 9とがそれぞれ結合され、アレイ選択信号B L I 1が「L」レベルになるとNチャネルMOSトランジスタ2 8, 2 9が非導通になりメモリアレイMA 1のビット線B L, /B LとノードN 2 8, 2 9とがそれぞれ電氣的に切離される。また、アレイ選択信号B L I 2が「H」レベルになるとNチャネルMOSトランジスタ4 4, 4 5が導通してノードN 2 8, N 2 9とメモリアレイMA 2のビット線B L, /B Lとがそれぞれ結合され、アレイ選択信号B L I 2が「L」レベルになるとNチャネルMOSトランジスタ4 4, 4 5が非導通になりノードN 2 8, N 2 9とメモリアレイMA 2のビット線B L, /B Lとがそれぞれ電氣的に切離される。

【 0 0 2 9 】

センスアンプ2 2は、それぞれノードN 2 8, 2 9とノードN 2 2との間に接続されたPチャネルMOSトランジスタ3 1, 3 2と、それぞれノードN 2 8, 2 9とノードN 2 2'との間に接続されたNチャネルMOSトランジスタ3 3, 3 4と、アレイ用電源電位V D D SのラインとノードN 2 2との間に接続されたPチャネルMOSトランジスタ3 0と、ノードN 2 2'と接地電位G N Dのラインとの間に接続されたNチャネルMOSトランジスタ3 5とを含む。MOSトランジスタ3 1, 3 3のゲートはともにノードN 2 9に接続され、MOSトランジスタ3 2, 3 4のゲートはともにノードN 2 8に接続される。MOSトランジスタ3 0, 3 5のゲートは、それぞれセンスアンプ活性化信号/S A E, S A Eを受ける。センスアンプ2 2は、センスアンプ活性化信号/S A E, S A Eがそれぞれ「L」レベルおよび「H」レベルになったことに応じて、ノードN 2 8, N 2 9間すなわちビット線対B L, /B L間の微小電位差 ΔV をアレイ用電源電圧V D D Sに増幅する。

【 0 0 3 0 】

読出列選択ゲート2 3は、読出データ線/D L Rと接地電位G N Dのラインとの間に直列接続されたNチャネルMOSトランジスタ3 6, 3 8、および読出データ線D L Rと接地電位G N Dのラインとの間に直列接続されたNチャネルMOSトランジスタ3 7, 3 9を含む。NチャネルMOSトランジスタ3 6, 3 7のゲートは、それぞれノードN 2 8, N 2 9に接続され、NチャネルMOSトラン

ジスタ 3 8, 3 9 のゲートは、ともに読出列選択線 C S L R に接続される。

【 0 0 3 1 】

読出データ線 / D L R, D L R は、ともに「H」レベル (VDD) の電位にプリチャージされる。デコーダ帯単位回路 1 5 によって読出列選択線 C S L R が選択レベルの「H」レベル (VDD) に立上げられると、Nチャネル MOS トランジスタ 3 8, 3 9 が導通する。ノード N 2 8, N 2 9 の電位がそれぞれ「H」レベル (VDD S) および「L」レベル (GND) の場合は、Nチャネル MOS トランジスタ 3 6 が導通するとともに Nチャネル MOS トランジスタ 3 7 が非導通になり、読出データ線 / D L R の電位が低下する。ノード N 2 8, N 2 9 の電位がそれぞれ「L」レベル (GND) および「H」レベル (VDD S) の場合は、Nチャネル MOS トランジスタ 3 7 が導通するとともに Nチャネル MOS トランジスタ 3 6 が非導通になり、読出データ線 D L R の電位が低下する。

【 0 0 3 2 】

書込列選択ゲート 2 4 は、ノード N 2 8 と接地電位 GND のラインとの間に直列接続された Nチャネル MOS トランジスタ 4 0, 4 2、およびノード N 2 9 と接地電位 GND のラインとの間に直列接続された Nチャネル MOS トランジスタ 4 1, 4 3 を含む。Nチャネル MOS トランジスタ 4 0, 4 1 のゲートは、ともに書込列選択線 C S L W に接続され、Nチャネル MOS トランジスタ 4 2, 4 3 のゲートは、それぞれ書込データ線 / D L W, D L W に接続される。

【 0 0 3 3 】

デコーダ帯単位回路 1 5 によって書込列選択線 C S L W が選択レベルの「H」レベル (VDD S) に立上げられると、Nチャネル MOS トランジスタ 4 0, 4 1 が導通する。書込データ線 / D L W, D L W がそれぞれ「H」レベル (VDD) および「L」レベル (GND) にされた場合は、Nチャネル MOS トランジスタ 4 2 が導通するとともに Nチャネル MOS トランジスタ 4 3 が非導通になり、ノード N 2 8 の電位が低下する。書込データ線 / D L W, D L W がそれぞれ「L」レベル (GND) および「H」レベル (VDD) にされた場合は、Nチャネル MOS トランジスタ 4 3 が導通するとともに Nチャネル MOS トランジスタ 4 2 が非導通になり、ノード N 2 9 の電位が低下する。

【 0 0 3 4 】

他のセンスアンプ帯 $SA1$, $SA3 \sim SAN+1$ もセンスアンプ帯 $SA2$ と同じ構成である。ただし、両端のセンスアンプ帯 $SA1$, $SA n+1$ のセンスアンプなどは、それぞれ隣接するメモリアレイ $MA1$, $MA n$ だけのために設けられている。

【 0 0 3 5 】

図 2 に戻って、中央制御帯 12 に配置されるクロック発生回路 1 と、行および列アドレスバッファ 2 は周辺回路用電源電圧 VDD で駆動される。クロック発生回路 1 は、外部からのコマンド信号に応じてデコーダ帯単位回路 15 にタイミング信号、書込列デコーダイネーブル信号 $CDEW$ および読出列デコーダイネーブル信号 $CDER$ を出力し、データバス帯単位回路 16 にデータ線イコライズ信号 $DLEQ$ 、プリアンプ活性化信号 PAE 、ライトデータラッチ信号 $WDLAT$ 、読出クロック信号 $CLKQ$ および書込クロック信号 $CLKD$ を出力し、センスブロック SB にビット線イコライズ信号 $BLEQ$ 、アレイ選択信号 $BLI1$, $BLI2$ およびセンスアンプ活性化信号 $/SAE$, SAE を出力する。

【 0 0 3 6 】

行および列アドレスバッファ 2 は、外部からのアドレス信号に応じてデコーダ帯単位回路 15 に行アドレス信号 RA 、書込列プリデコードアドレス信号 YW および読出列プリデコードアドレス信号 YR を出力する。

【 0 0 3 7 】

デコーダ帯 13 には、各ワード線 WL および列選択線 $CSLW$, $CSLR$ に対応してデコーダ帯単位回路 15 が配置される。デコーダ帯単位回路 15 は、図 6 に示すように、行デコーダ単位回路 51、レベルシフタ 52, 55、ワードドライバ 53、列デコーダ単位回路 54, 57、および CSL ドライバ 56, 58 を含む。

【 0 0 3 8 】

周辺回路用電源電圧 VDD で駆動される行デコーダ単位回路 51 は、各ワード線 WL に対応して設けられ、タイミング信号が「H」レベル (VDD) にされたことに応じて活性化される。行デコーダ単位回路 51 は、対応のワード線 WL に

予め割当てられた行アドレス信号 RA が入力されたことに応じて、レベルシフタ 5 2 に「H」レベル (V_{DD}) の信号を出力する。昇圧電圧 V_{PP} で駆動されるレベルシフタ 5 2 は、行デコーダ単位回路 5 1 から「H」レベル (V_{DD}) の信号が入力されたことに応じて、ワードドライバ 5 3 に「H」レベル (V_{DD}) の信号を出力する。昇圧電圧 V_{PP} で駆動されるワードドライバ 5 3 は、レベルシフタ 5 2 から「H」レベル (V_{PP}) の信号が入力されたことに応じて、対応のワード線 WL を選択レベルの「H」レベル (昇圧電位 V_{PP}) にする。この昇圧電位 V_{PP} は、アレイ用電源電位 V_{DDS} にメモリセル MC の N チャネル MOS トランジスタ Q のしきい値電圧 V_{thn} を加算した電位よりも高い所定の電位である。

【 0 0 3 9 】

周辺回路用電源電圧 V_{DD} で駆動される列デコーダ単位回路 5 4 は、各書込列選択線 $CSLW$ に対応して設けられ、書込列デコーダイネーブル信号 $CDEW$ が「H」レベル (V_{DD}) にされたことに応じて活性化される。列デコーダ単位回路 5 4 は、対応の書込列選択線 $CSLW$ に予め割当てられた書込列プリデコードアドレス信号 YW が入力されたことに応じて、レベルシフタ 5 5 に「H」レベル (V_{DD}) の信号を出力する。アレイ用電源電圧 V_{DDS} で駆動されるレベルシフタ 5 5 は、列デコーダ単位回路 5 4 から「H」レベル (V_{DD}) の信号が入力されたことに応じて、 CSL ドライバ 5 6 に「H」レベル (V_{DDS}) の信号を出力する。アレイ用電源電圧 V_{DDS} で駆動される CSL ドライバ 5 6 は、レベルシフタ 5 5 から「H」レベル (V_{DDS}) の信号が入力されたことに応じて、対応の書込列選択線 $CSLW$ を選択レベルの「H」レベル (V_{DDS}) にする。

【 0 0 4 0 】

周辺回路用電源電圧 V_{DD} で駆動される列デコーダ単位回路 5 7 は、各読出列選択線 $CSLR$ に対応して設けられ、読出列デコーダイネーブル信号 $CDER$ が「H」レベル (V_{DD}) にされたことに応じて活性化される。列デコーダ単位回路 5 7 は、対応の読出列選択線 $CSLR$ に予め割当てられた読出列プリデコードアドレス信号 YR が入力されたことに応じて、 CSL ドライバ 5 8 に「H」レベル (V_{DD}) の信号を出力する。周辺回路用電源電圧 V_{DD} で駆動される CSL

ドライバ 5 8 は、列デコーダ単位回路 5 7 から「H」レベル（VDD）の信号が入力されたことに応じて、対応の読出列選択線 CSLR を選択レベルの「H」レベル（VDD）にする。

【0041】

図 2 に戻って、データバス帯 1 4 には、各データ線対 DLWP, DL RP に対応してデータバス帯単位回路 1 6 が配置される。データバス帯単位回路 1 6 は、図 7 に示すように、イコライザ 6 1、プリアンプ 6 5、論理ゲート回路 6 6, 6 9、フリップフロップ回路 6 7, 6 8, 7 0 およびライトドライバ 7 1 を含む。このデータバス帯単位回路 1 6 は周辺回路用電源電圧 VDD で駆動される。

【0042】

イコライザ 6 1 は、Pチャネル MOS トランジスタ 6 2 ~ 6 4 を含む。Pチャネル MOS トランジスタ 6 2 は、読出データ線対 /DL R, DL R の間に接続され、Pチャネル MOS トランジスタ 6 3, 6 4 は、読出データ線対 /DL R, DL R の間に直列接続される。Pチャネル MOS トランジスタ 6 2 ~ 6 4 のゲートは、ともにデータ線イコライズ信号 DLEQ を受ける。Pチャネル MOS トランジスタ 6 3, 6 4 の間のノードは、周辺回路用電源電位 VDD を受ける。データ線イコライズ信号 DLEQ が「L」レベルになると、Pチャネル MOS トランジスタ 6 2 ~ 6 4 が導通して読出データ線対 /DL R, DL R の電位が周辺回路用電源電位 VDD にイコライズされ、データ線イコライズ信号 DLEQ が「H」レベルになると、Pチャネル MOS トランジスタ 6 2 ~ 6 4 が非導通になって読出データ線対 /DL R, DL R のイコライズが停止される。

【0043】

読出動作前において、データ線イコライズ信号 DLEQ 信号が「L」レベルにされ、読出データ線対 /DL R, DL R の電位は周辺回路用電源電位 VDD にイコライズされている。

【0044】

読出動作時においては、データ線イコライズ信号 DLEQ が「H」レベルになり、イコライズが停止される。読出ゲート 2 3 から読出されたデータ信号は、読出データ線対 /DL R, DL R に電位差として与えられる。プリアンプ 6 5 は、

プリアンプ活性化信号 P A E が入力されると読出データ線対 / D L R, D L R の電位差を比較し、比較結果に応じた読出データ信号 Q j をスペア判定などの論理ゲート回路 6 6 を介してフリップフロップ回路 6 7 に出力する。フリップフロップ回路 6 7 は、読出クロック信号 C L K Q に同期して読出データ信号 Q j を外部に出力する。プリアンプ 6 5 は、読出データ線対 / D L R, D L R 間にある電位差が生じるまで待ってから活性化される必要があり、プリアンプ活性化信号 P A E の遅延制御はクロック発生回路 1 において行なわれる。

【 0 0 4 5 】

書込動作時には、外部から入力された書込データ信号 D j は、フリップフロップ回路 6 8 に入力される。フリップフロップ回路 6 8 は、書込クロック信号 C L K D に同期して動作し、スペア判定などの論理ゲート回路 6 9 を介してフリップフロップ回路 7 0 に書込データ信号 D j を与える。フリップフロップ回路 7 0 は、ライトデータラッチ信号 W D L A T が入力されると、ライトドライバ 7 1 に書込データ信号 D j を伝達する。ライトドライバ 7 1 に入力された書込データ信号 D j は、書込データ線対 / D L W, D L W に電位差として与えられ、書込列選択ゲート 2 4 に伝達される。

【 0 0 4 6 】

次に、この D R A M の動作について説明する。ここでは、図 5 に示したメモリアレイ M A 1, M A 2 のうち M A 1 が選択されるものとする。読出動作時には、まずアレイ選択信号 B L I 2 が「L」レベルにされ、NチャネルMOSトランジスタ 4 4, 4 5 が非導通になり、ノード N 2 8, N 2 9 とメモリアレイ M A 2 のビット線 B L, / B L とが電氣的に切離される。また、ビット線イコライズ信号 B L E Q が「L」レベルに立下がってイコライザ 2 1 のNチャネルMOSトランジスタ 2 5 ~ 2 7 が非導通になり、ビット線対 B L, / B L のイコライズが停止される。次いで、行デコーダ単位回路 5 1 によって行アドレス信号 R A に対応する行のワード線 W L が選択レベルの「H」レベル (V P P) に立上げられる。これに応じて、ビット線対 B L, / B L の電位は、活性化されたメモリセル M C のキャパシタ C の電荷量に応じて微小量だけ変化する。

【 0 0 4 7 】

次いで、センスアンプ活性化信号／SAE，SAEがそれぞれ順次「L」レベルおよび「H」レベルとなり、センスアンプ22が活性化される。ビット線BLの電位がビット線／BLの電位よりも微小量だけ高いとき、MOSトランジスタ31，34の抵抗値はMOSトランジスタ32，33の抵抗値よりも小さくなって、ノードN28すなわちビット線BLの電位が「H」レベル（VDD_S）まで引上げられ、ノードN29すなわちビット線／BLの電位が「L」レベル（GND）まで引下げられる。逆に、ビット線／BLの電位がビット線BLの電位よりも微小量だけ高いときは、MOSトランジスタ32，33の抵抗値がMOSトランジスタ31，34の抵抗値よりも小さくなって、ノードN29すなわちビット線／BLの電位が「H」レベル（VDD_S）まで引上げられ、ノードN28すなわちビット線BLの電位が「L」レベル（GND）まで引下げられる。

【0048】

次に、列デコーダ単位回路57にワンショットパルス信号である読出列デコーダイネーブル信号CDE_R、および1サイクル保持される読出列プリデコードアドレス信号Y_Rが入力され、一本の読出列選択線CSL_Rが選択される。選択された列選択線CSL_Rが選択レベルの「H」レベル（VDD）に立上げられ、その列の読出列選択ゲート23のNチャネルMOSトランジスタ38，39が導通する。選択された列のビット線対BL，／BLのデータ信号が読出列選択ゲート23および読出データ線対／DL_R，DL_Rを介してデータバス帯単位回路16に与えられる。たとえば、読出列選択線CSL_Rで選択された列のビット線BLが「H」レベル（VDD_S）、／BLが「L」レベル（GND）の状態である場合、読出データ線／DL_Rは電荷が引き抜かれて電位が徐々に低下し、読出データ線DL_Rは電荷が引き抜かれずにプリチャージされた電位を保持する。プリアンプ65は、プリアンプ活性化信号PAEが入力されると読出データ線対／DL_R，DL_R間の電位差に応じた読出データ信号Q_jを論理ゲート回路66を介してフリップフロップ回路67に出力する。フリップフロップ回路67は、読出クロック信号CLK_Qに同期して読出データ信号Q_jを外部に出力する。

【0049】

ここで、読出列選択ゲート23に接続されるノードN28，N29すなわちビ

ット線対 B L, / B L はアレイ用電源電圧 V D D S で駆動され、読出列選択線 C S L R は周辺回路用電源電圧 V D D で駆動される。このため、アレイ用電源電圧 V D D S が低くなり、周辺回路用電源電圧 V D D が高くなった場合でも、読出列選択ゲート 2 3 において読出データ線 / D L R または D L R から電荷が引抜かれる速度は、読出列選択線 C S L R が周辺回路用電源電圧 V D D で駆動されているのでそれ程遅くはならない。したがって、プリアンプ活性化信号 P A E の遅延量が小さい場合でも、読出データ線対 / D L R, D L R 間の電位差が小さなうちにプリアンプ 6 5 が活性化されてしまうという誤動作を起こす可能性は低く、タイミングマージンは十分に確保される。

【 0 0 5 0 】

書込動作時には、まず読出動作と同様にアレイ選択信号 B L I 2 が「L」レベルにされ、ノード N 2 8, N 2 9 とメモリアレイ M A 2 のビット線 B L, / B L とが電氣的に切離される。また、ビット線対 B L, / B L のイコライズが停止され、ワード線 W L が選択レベルの「H」レベル (V P P) に立上げられる。これに応じて、ビット線対 B L, / B L の電位は、活性化されたメモリセル M C のキャパシタ C の電荷量に応じて微小量だけ変化する。次いで、センスアンプ 2 2 が活性化され、ビット線対 B L, / B L 間の微小電位差 ΔV をアレイ用電源電圧 V D D S に増幅する。

【 0 0 5 1 】

次に、データバス帯単位回路 1 6 に含まれるフリップフロップ回路 6 8 に書込データ信号 D j が入力される。フリップフロップ回路 6 8 は、書込クロック信号 C L K D に同期して動作し、論理ゲート回路 6 9 を介してフリップフロップ回路 7 0 に書込データ信号 D j を与える。フリップフロップ回路 7 0 は、ライトデータラッチ信号 W D L A T が入力されると、ライトドライバ 7 1 に書込データ信号 D j を伝達する。ライトドライバ 7 1 に入力された書込データ信号 D j は、書込データ線対 / D L W, D L W に電位差として与えられ、書込列選択ゲート 2 4 に伝達される。その後、列デコーダ単位回路 5 4 にワンショットパルス信号である書込列デコーダイネーブル信号 C D E W、および 1 サイクル保持される書込列ブリデコードアドレス信号 Y W が入力され、一本の書込列選択線 C S L W が選択さ

れる。選択された書込列選択線CSLWが活性化レベルの「H」レベル(VDD_S)に立上げられ、その列の書込列選択ゲート24のNチャネルMOSトランジスタ40, 41が導通する。

【0052】

書込データは、書込データ線対/DLW, DLWおよび書込列選択ゲート24を介してビット線対BL, /BL間の電位差として与えられる。センスアンプ22に保持されているデータと反対のデータを書き込むときは、書込列選択ゲート24の駆動能力がセンスアンプ22のPチャネルMOSトランジスタ31, 32の駆動能力を超えてデータを反転させることによって、メモリセルMCにデータが格納される。

【0053】

ここで、書込列選択ゲート24に接続される書込列選択線CSLWはアレイ用電源電圧VDD_Sで駆動され、書込データ線対/DLW, DLWは周辺回路用電源電圧VDDで駆動される。このため、アレイ用電源電圧VDD_Sが高くなり、周辺回路用電源電圧VDDが低くなった場合でも、書込列選択線CSLWがアレイ用電源電圧VDD_Sで駆動されているので、書込列選択ゲート24の駆動能力がセンスアンプ22のPチャネルMOSトランジスタ31, 32の駆動能力を超えられない可能性は低く、動作マージンは十分に確保される。

【0054】

ところで、従来のDRAMでは、列選択線CSLR, CSLWは同一の電源電圧で駆動されていた。たとえば、列選択線CSLR, CSLWがともにアレイ用電源電圧VDD_Sで駆動される場合、読出列選択ゲート23に接続されているノードN28, N29すなわちビット線対BL, /BLおよび読出列選択線CSLRがともにアレイ用電源電圧VDD_Sで駆動される。このため、アレイ用電源電圧VDD_Sが低くなり、周辺回路用電源電圧VDDが高くなったときは、読出データ線/DLRまたはDLRから電荷が引き抜かれる速度が遅くなる一方、周辺回路用電源電圧VDDで生成されるプリアンプ活性化信号PAEの遅延量は小さいので、読出データ線対/DLR, DLR間の電位差が小さなうちにプリアンプ65が活性化されてしまうという誤動作を起こすことがあり、タイミングマージ

ンが不足していた。この対策として、プリアンプ活性化信号 P A E の遅延量を大きくすると、動作周波数が低くなってしまう。

【 0 0 5 5 】

また、列選択線 C S L R, C S L W がともに周辺回路用電源電圧 V D D で駆動される場合、書込列選択ゲート 2 4 に接続される書込列選択線 C S L W および書込データ線対 / D L W, D L W はともに周辺回路用電源電圧 V D D で駆動される。このため、アレイ用電源電圧 V D D S が高くなり、周辺回路用電源電圧 V D D が低くなったときは、書込列選択ゲート 2 4 の駆動能力がセンスアンプ 2 2 の P チャンネル M O S トランジスタ 3 1, 3 2 の駆動能力を超えられずにデータを反転させることができなくなることがあり、動作マージンが不足していた。

【 0 0 5 6 】

したがって、従来の D R A M では、列選択線 C S L R, C S L W を、アレイ用電源電圧 V D D S および周辺回路用電源電圧 V D D のうちどちらか一方の電源電圧で駆動していたため、その電源電圧が低く、同時に他方の電源電圧が高くなるとタイミングマージンおよび動作マージンが極端に少なくなっていた。

【 0 0 5 7 】

しかし、この実施の形態 1 では、読出列選択ゲート 2 3 に接続されるノード N 2 8, N 2 9 すなわちビット線対 B L, / B L および書込列選択ゲート 2 4 に接続される書込列選択線 C S L W をアレイ用電源電圧 V D D S で駆動し、読出列選択ゲート 2 3 に接続される読出列選択線 C S L R および書込列選択ゲート 2 4 に接続される書込データ線対 / D L W, D L W を周辺回路用電源電圧 V D D で駆動することによって、一方の電源電圧が低くなり、同時に他方の電源電圧が高くなっている場合においても、タイミングマージンおよび動作マージンが極端に少なくなることが防止される。これにより、タイミングマージンおよび動作マージンが大きく、動作の高速化と安定化が可能な半導体記憶装置が実現できる。

【 0 0 5 8 】

〔実施の形態 2〕

図 8 は、この発明の実施の形態 2 による D R A M のレイアウト図であって、図 2 と対比される図である。図 8 を参照して、この D R A M が図 2 の D R A M と異

なる点は、メモリマット 1 1 およびデータパス帯単位回路 1 6 がメモリマット 8 1 およびデータパス帯単位回路 8 2 で置換され、データパス帯単位回路 8 2 から図中 Y 軸方向に延在するライトマスク線 ZWM が追加されている点である。ライトマスク線 ZWM は、データの書換禁止制御を行なうための信号線である。

【 0 0 5 9 】

図 9 は、図 8 に示したメモリマット 8 1 に設けられたセンスアンプ帯 S A 2 の 1 つの列の構成を詳細に示す回路図であって、図 5 と対比される図である。図 9 を参照して、このセンスアンプ帯 S A 2 の 1 つの列の構成が図 5 のセンスアンプ帯 S A 2 の 1 つの列の構成と異なる点は、書込列選択ゲート 2 4 が書込列選択ゲート 9 1 で置換されている点である。

【 0 0 6 0 】

ビット線対 B L, / B L および書込列選択線 C S L W はアレイ用電源電圧 V D D S で駆動され、読出列選択線 C S L R、ライトマスク線 ZWM、読出データ線対 / D L R, D L R および書込データ線対 / D L W, D L W は周辺回路用電源電圧 V D D で駆動される。

【 0 0 6 1 】

書込列選択ゲート 9 1 は、ノード N 2 8 と書込データ線 / D L W との間に直列接続された N チャネル MOS トランジスタ 9 2, 9 4、およびノード N 2 9 と書込データ線 D L W との間に直列接続された N チャネル MOS トランジスタ 9 3, 9 5 を含む。N チャネル MOS トランジスタ 9 2, 9 3 のゲートはともにライトマスク線 ZWM に接続され、N チャネル MOS トランジスタ 9 4, 9 5 のゲートはともに書込列選択線 C S L W に接続される。

【 0 0 6 2 】

ライトマスク線 ZWM が「H」レベル (V D D) の場合は、デコーダ帯単位回路 1 5 によって書込列選択線 C S L W が選択レベルの「H」レベル (V D D S) に立上げられると N チャネル MOS トランジスタ 9 2 ~ 9 5 が導通し、ノード N 2 9, N 2 9 すなわちビット線 B L, / B L と書込データ線 / D L W, D L W とがそれぞれ結合されて書込動作が行なわれる。ライトマスク線 ZWM が「L」レベルの場合は、書込列選択ゲート 9 1 の N チャネル MOS トランジスタ 9 2, 9

3 が非道通となり、ノードN29, N29すなわちビット線BL, /BLと書込データ線/DLW, DLWとがそれぞれ電氣的に切離され、データの書換えが禁止される。

【0063】

図8に戻って、データパス帯14には、各データ線対DLWP, DLRPおよびライトマスク線ZWMに対応してデータパス帯単位回路82が配置される。図10は、データパス帯単位回路82の構成を示すブロック図であって、図7と対比される図である。図10を参照して、このデータパス帯単位回路82が図7のデータパス帯単位回路16と異なる点は、フリップフロップ回路101, 103と、論理ゲート回路102と、ライトマスクドライバ104とが追加されている点である。

【0064】

外部から入力されたライトマスク信号WMは、フリップフロップ回路101に入力される。フリップフロップ回路101は、書込クロック信号CLKDに同期して動作し、スペア判定などの論理ゲート回路102を介してフリップフロップ回路103にライトマスク信号WMを与える。フリップフロップ回路103は、ライトデータラッチ信号WDLATが入力されると、ライトマスクドライバ104にライトマスク信号WMを伝達する。ライトマスクドライバ104は、入力されたライトマスク信号WMに応じてライトマスク線ZWMを「L」レベルまたは「H」レベル(VDD)にする。

【0065】

ここで、書込列選択ゲート91に接続される書込列選択線CSLWはアレイ用電源電圧VDD_Sで駆動され、ライトマスク線ZWMは周辺回路用電源電圧VDDで駆動される。このため、アレイ用電源電圧VDD_Sが高くなり、周辺回路用電源電圧VDDが低くなった場合でも、書込列選択線CSLWがアレイ用電源電圧VDD_Sで駆動されているので、書込列選択ゲート91の駆動能力がセンスアンプ22のPチャネルMOSトランジスタ31, 32の駆動能力を超えられない可能性は低く、動作マージンは十分に確保される。

【0066】

したがって、この実施の形態 2 では、読出列選択ゲート 2 3 に接続されるノード N 2 8, N 2 9 すなわちビット線対 B L, / B L および書込列選択ゲート 9 1 に接続される書込列選択線 C S L W をアレイ用電源電圧 V D D S で駆動し、読出列選択ゲート 2 3 に接続される読出列選択線 C S L R および書込列選択ゲート 9 1 に接続されるライトマスク線 Z W M を周辺回路用電源電圧 V D D で駆動することによって、一方の電源電圧が低くなり、同時に他方の電源電圧が高くなった場合においても、タイミングマージンおよび動作マージンが極端に少なくなることが防止される。これにより、タイミングマージンおよび動作マージンが大きく、動作の高速化と安定化が可能な半導体記憶装置が実現できる。

【 0 0 6 7 】

〔実施の形態 3〕

図 1 1 は、この発明の実施の形態 3 による D R A M のレイアウト図であって、図 2 と対比される図である。図 1 1 を参照して、この D R A M が図 2 の D R A M と異なる点は、列選択線 C S L W, C S L R が列選択線 C S L L, C S L U で置換され、データ線対 D L W P, D L R P がデータ線対 D L P で置換され、メモリマット 1 1、デコーダ帯単位回路 1 5 およびデータバス帯単位回路 1 6 がメモリマット 1 1 1、デコーダ帯単位回路 1 1 2 およびデータバス帯単位回路 1 1 3 で置換されている点である。この場合、書込動作と読出動作を同じデータ線対 D L P で行なう。

【 0 0 6 8 】

図 1 2 は、図 1 1 に示したメモリマット 1 1 1 に設けられたセンスアンプ帯 S A 2 の 1 つの列の構成を詳細に示す回路図であって、図 5 と対比される図である。図 1 2 を参照して、センスアンプ帯 S A 2 の 1 つの列の構成が図 5 のセンスアンプ帯 S A 2 の 1 つの列の構成と異なる点は、読出列選択ゲート 2 3 および書込列選択ゲート 2 4 が列選択ゲート 1 2 1 で置換されている点である。

【 0 0 6 9 】

ビット線対 B L, / B L および列選択線 C S L L はアレイ用電源電圧 V D D S で駆動され、列選択線 C S L U およびデータ線対 D L, / D L は周辺回路用電源電圧 V D D で駆動される。

【 0 0 7 0 】

列選択ゲート 1 2 1 は、ノード N 2 8 とデータ線 D L との間に直列接続された N チャンネル MOS トランジスタ 1 2 2, 1 2 4、およびノード N 2 9 とデータ線 / D L との間に直列接続された N チャンネル MOS トランジスタ 1 2 3, 1 2 5 を含む。N チャンネル MOS トランジスタ 1 2 2, 1 2 3 のゲートはともに列選択線 C S L L に接続され、N チャンネル MOS トランジスタ 1 2 4, 1 2 5 のゲートはともに列選択線 C S L U に接続される。

【 0 0 7 1 】

デコーダ帯単位回路 1 1 2 によって列選択線 C S L L, C S L U がそれぞれ選択レベルの「H」レベル (V D D S, V D D) に立上げられると N チャンネル MOS トランジスタ 1 2 2 ~ 1 2 5 が導通し、ノード N 2 8, N 2 9 すなわちビット線 B L, / B L とデータ線 D L, / D L とがそれぞれ結合されて読出動作および書込動作が行なわれる。

【 0 0 7 2 】

図 1 1 に戻って、デコーダ帯 1 3 には、各ワード線 W L および列選択線 C S L L, C S L U に対応してデコーダ帯単位回路 1 1 2 が配置される。図 1 3 は、デコーダ帯単位回路 1 1 2 の構成を示すブロック図であって、図 6 と対比される図である。図 1 3 を参照して、このデコーダ帯単位回路 1 1 2 が図 6 のデコーダ帯単位回路 1 5 と異なる点は、列デコーダ単位回路 5 4, 5 7 が列デコーダ単位回路 1 3 1, 1 3 4 で置換され、C S L ドライバ 5 6, 5 8 が C S L ドライバ 1 3 3, 1 3 5 で置換され、列デコーダ単位回路 5 4 に入力される書込列プリデコードアドレス信号 Y W および書込列デコーダイネーブル信号 C D E W が列デコーダ単位回路 1 3 1 に入力されるプリデコードアドレス信号 Y A D D L および列デコーダイネーブル信号 C D E で置換され、列デコーダ単位回路 5 7 に入力される読出列プリデコードアドレス信号 Y R および読出列デコーダイネーブル信号 C D E R がプリデコードアドレス信号 Y A D D U で置換され、C S L ドライバ 5 6 から出力される書込列選択線 C S L W が C S L ドライバ 1 3 3 から出力される列選択線 C S L L で置換され、C S L ドライバ 5 8 から出力される読出列選択線 C S L R が C S L ドライバ 1 3 5 から出力される列選択線 C S L U で置換されている点

である。

【 0 0 7 3 】

列デコーダイネーブル信号 C D E は、中央制御帯 1 2 に配置されるクロック発生回路 1 から出力され、プリデコードアドレス信号 Y A D D L および Y A D D U は、中央制御帯 1 2 に配置される行および列アドレスバッファ 2 から出力される。

【 0 0 7 4 】

周辺回路用電源電圧 V D D で駆動される列デコーダ単位回路 1 3 1 は、各列選択線 C S L L に対応して設けられ、列デコーダイネーブル信号 C D E が「H」レベル（V D D）にされたことに応じて活性化される。列デコーダ単位回路 1 3 1 は、対応の各列選択線 C S L L に予め割当てられた列プリデコードアドレス信号 Y A D D L が入力されたことに応じて、レベルシフタ 5 5 に「H」レベル（V D D）の信号を出力する。アレイ用電源電圧 V D D S で駆動されるレベルシフタ 5 5 は、列デコーダ単位回路 1 3 1 から「H」レベル（V D D）の信号が入力されたことに応じて、C S L ドライバ 1 3 3 に「H」レベル（V D D S）の信号を出力する。アレイ用電源電圧 V D D S で駆動される C S L ドライバ 1 3 3 は、レベルシフタ 5 5 から「H」レベル（V D D S）の信号が入力されたことに応じて、対応の列選択線 C S L L を選択レベルの「H」レベル（V D D S）にする。

【 0 0 7 5 】

周辺回路用電源電圧 V D D で駆動される列デコーダ単位回路 1 3 4 は、各列選択線 C S L U に対応して設けられ、対応の列選択線 C S L U に予め割当てられた列プリデコードアドレス信号 Y A D D U が入力されたことに応じて、C S L ドライバ 1 3 5 に「H」レベル（V D D）の信号を出力する。周辺回路用電源電圧 V D D で駆動される C S L ドライバ 1 3 5 は、列デコーダ単位回路 1 3 4 から「H」レベル（V D D）の信号が入力されたことに応じて、対応の列選択線 C S L U を選択レベルの「H」レベル（V D D）にする。

【 0 0 7 6 】

図 1 1 に戻って、データパス帯 1 4 には、各データ線対 D L P に対応してデータパス帯単位回路 1 1 3 が配置される。図 1 4 は、データパス帯単位回路 1 1 3

の構成を示すブロック図であって、図 1 0 と対比される図である。図 1 4 を参照して、このデータバス帯単位回路 1 1 3 が図 1 0 のデータバス帯単位回路 8 2 と異なる点は、読出データ線／DLR および書込データ線／DLW がデータ線 DL で置換され、読出データ線 DLR および書込データ線 DLW がデータ線／DL で置換され、フリップフロップ回路 7 0, 1 0 3 が削除され、ライトドライバ 7 1 およびライトマスクドライバ 1 0 4 がライトドライバラッチ信号 WDLAT によって制御されるライトドライバ 1 4 1 で置換されている点である。

【0 0 7 7】

ライトドライバ 1 4 1 は、クロック発生回路 1 からライトドライバラッチ信号 WDLAT が入力されると、書込データ信号 D_j をデータ線対 DL, /DL に電位差として与え、列選択ゲート 1 2 1 に伝達する。また、ライトドライバ 1 4 1 は、ライトマスク信号 WM が入力されると、データ線対 DL, /DL の両方を「H」レベルにする。これにより、データの書換えが禁止される。

【0 0 7 8】

次に、この DRAM の動作について説明する。読出動作時において、イコライザ 2 1、メモリセル MC およびセンスアンプ 2 2 の動作は実施の形態 1 で説明した動作と同様である。次いで、列デコーダ単位回路 1 3 1 にワンショットパルス信号である列デコーダイネーブル信号 CDE、および 1 サイクル保持される列プリデコードアドレス信号 YADDL が入力され、一本の列選択線 CSL_L が選択される。また、列デコーダ単位回路 1 3 4 に 1 サイクル保持される列プリデコードアドレス信号 YADDU が入力され、一本の列選択線 CSL_U が選択される。選択された列選択線 CSL_L, CSL_U がそれぞれ選択レベルの「H」レベル（VDD_S, VDD）に立上げられ、その列の列選択ゲート 1 2 1 の N チャネル MOS トランジスタ 1 2 2 ～ 1 2 5 が導通する。選択された列のビット線対 BL, /BL のデータ信号が列選択ゲート 1 2 1 およびデータ線対 DL, /DL を介してデータバス帯単位回路 1 1 3 に与えられる。たとえば、列選択線 CSL_L, CSL_U によって選択された列のビット線 BL, /BL がそれぞれ「H」レベル（VDD_S）および「L」レベル（GND）の状態である場合、データ線／DL は電位が低下し、データ線 DL はプリチャージされた電位を保持する。プリアンプ

65は、プリアンプ活性化信号PAEが入力されると、データ線対DL, /DL間の電位差に応じた読出データ信号Qjを論理ゲート66を介してフリップフロップ回路67に出力する。フリップフロップ回路67は、読出クロック信号CLKQに同期して読出データ信号Qjを外部に出力する。

【0079】

ここで、列選択線CSLLはアレイ用電源電圧VDD_Sで駆動され、列選択線CSLUは周辺回路用電源電圧VDDで駆動される。このため、アレイ用電源電圧VDD_Sが低くなり、周辺回路用電源電圧VDDが高くなった場合でも、列選択ゲート121においてデータ線/DLまたはDLから電荷が引抜かれる速度は、列選択線CSLUが周辺回路用電源電圧VDDで駆動されているのでそれ程遅くはならない。したがって、プリアンプ活性化信号PAEの遅延量が小さい場合でも、データ線対DL, /DL間の電位差が小さなうちにプリアンプ65が活性化されてしまうという誤動作を起こす可能性は低く、タイミングマージンは十分に確保される。

【0080】

書込動作時において、イコライザ21、メモリセルMCおよびセンスアンプ22の動作は実施の形態1で説明した動作と同様である。次いで、データバス帯単位回路113に含まれるフリップフロップ回路68に書込データ信号Djが入力される。フリップフロップ回路68は、書込クロック信号CLKDに同期して動作し、論理ゲート回路69を介してライトドライバ141に書込データ信号Djを出力する。ライトドライバ141に入力された書込データ信号Djは、ライトドライバ141にライトドライバラッチ信号WDLATが入力されると、データ線対DL, /DLに電位差として与えられ、列選択ゲート121に伝達される。その後、列デコーダ単位回路131にワンショットパルス信号である列デコーダイネーブル信号CDE、および1サイクル保持される列プリデコードアドレス信号YADDLが入力され、列デコーダ単位回路134に列プリデコードアドレス信号YADDUが入力され、列選択線CSLL, CSLUが一本ずつ選択される。選択された列選択線CSLL, CSLUがそれぞれ活性化レベルの「H」レベル(VDD_S, VDD)に立上げられ、その列の列選択ゲート121のNチャネ

ルMOSトランジスタ122～125が導通する。

【0081】

書込データは、データ線対DL，／DLおよび列選択ゲート121を介してビット線対BL，／BL間の電位差として与えられる。センスアンプ22に保持されているデータと反対のデータを書き込むときは、列選択ゲート121の駆動能力がセンスアンプ22のPチャネルMOSトランジスタ31，32の駆動能力を超えてデータを反転させることによって、メモリセルMCにデータが格納される。なお、ライトドライバ141にライトマスク信号WMが入力された場合は、ライトドライバ141がデータ線DL，／DLをとともに「H」レベルにすることにより、データの書換えを禁止することが可能である。

【0082】

ここで、列選択ゲート121に接続される列選択線CSLLはアレイ用電源電圧VDD_Sで駆動され、列選択線CSLUは周辺回路用電源電圧VDDで駆動される。このため、アレイ用電源電圧VDD_Sが低くなり、周辺回路用電源電圧VDDが高くなってそれらの大小関係が（アレイ用電源電位VDD_S）＜（周辺回路用電源電位VDD－しきい値電位V_{thn}）となった場合でも、列選択線CSLLがアレイ用電源電圧VDD_Sで駆動されているので、ビット線BL，／BLには（アレイ用電源電位VDD_S－しきい値電位V_{thn}）の電位しか伝わらず、書換禁止動作時にセンスアンプ22に保持されているデータが破壊されてしまう可能性は低い。

【0083】

図15は、この発明の実施の形態3の比較例として、従来のDRAMのセンスアンプ帯SA2の1つの列の構成を詳細に示す回路図であって、図12と対比される図である。図15を参照して、この従来のDRAMのセンスアンプ帯SA2の1つの列の構成が図12のセンスアンプ帯SA2の1つの列の構成と異なる点は、列選択ゲート121が列選択ゲート151で置換されている点である。

【0084】

ビット線対BL，／BLはアレイ用電源電圧VDD_Sで駆動され、データ線対DL，／DLは周辺回路用電源電圧VDDで駆動される。

【 0 0 8 5 】

列選択ゲート 1 5 1 は、ノード N 2 8 とデータ線 D L との間に接続された N チャネル MOS トランジスタ 1 5 2、およびノード N 2 9 とデータ線 / D L との間に接続された N チャネル MOS トランジスタ 1 5 3 を含む。N チャネル MOS トランジスタ 1 5 2、1 5 3 のゲートはともに列選択線 C S L に接続される。

【 0 0 8 6 】

列選択線 C S L が選択レベルの「H」レベルに立上げられると N チャネル MOS トランジスタ 1 5 2、1 5 3 が導通し、ノード N 2 8、N 2 9 すなわちビット線 B L、/ B L とデータ線 D L、/ D L とがそれぞれ結合されて書込動作または読出動作が行なわれる。

【 0 0 8 7 】

列選択線 C S L がアレイ用電源電圧 V D D S で駆動される場合、アレイ用電源電圧 V D D S が低くなり、周辺回路用電源電圧 V D D が高くなったときは、読出動作時にデータ線 D L または / D L から電荷が引き抜かれる速度が遅くなる一方、周辺回路用電源電圧 V D D で生成されるプリアンプ活性化信号 P A E の遅延量は小さいので、データ線対 D L、/ D L 間の電位差が小さなうちにプリアンプ 6 5 が活性化されてしまうという誤動作を起こすことがあり、タイミングマージンが不足していた。この対策として、プリアンプ活性化信号 P A E の遅延量を大きくすると、動作周波数が低くなってしまう。

【 0 0 8 8 】

e R A M (e m b e d d e d R A M) などのようなバス幅が大きいメモリでは、1 バイト (8 本のデータ線) 単位で書換えを禁止できるライトマスク機能が必要であり、データ線対 D L、/ D L の両方を「H」レベルにすることで書換えを禁止することができる。しかし、列選択線 C S L が周辺回路用電源電圧 V D D で駆動される場合、アレイ用電源電圧 V D D S が低くなり、周辺回路用電源電圧 V D D が高くなってそれらの大小関係が (アレイ用電源電位 V D D S) < (周辺回路用電源電位 V D D - しきい値電位 V t h n) になると、ビット線 B L、/ B L には (周辺回路用電源電位 V D D - しきい値電位 V t h n) の電位が伝わって、書換禁止動作時にセンスアンプ 2 2 に保持されているデータが破壊されてしまう可能性がある。

り、動作マージンが不足していた。

【0089】

したがって、従来のDRAMでは、列選択ゲート151に接続される列選択線を1本の列選択線CSLで構成していたため、アレイ用電源電圧VDD_Sおよび周辺回路用電源電圧VDDのうち一方の電源電圧が低く、同時に他方の電源電圧が高くなるとタイミングマージンおよび動作マージンが極端に少なくなっていた。

【0090】

しかし、この実施の形態3では、列選択ゲート121に接続される列選択線CSLLをアレイ用電源電圧VDD_Sで駆動し、列選択線CSLUを周辺回路用電源電圧VDDで駆動することによって、一方の電源電圧が低くなり、同時に他方の電源電圧が高くなった場合においても、タイミングマージンおよび動作マージンが極端に少なくなることが防止される。これにより、タイミングマージンおよび動作マージンが大きく、動作の高速化と安定化が可能な半導体記憶装置が実現できる。

【0091】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0092】

【発明の効果】

以上のように、この発明に係る半導体記憶装置では、複数行複数列に配置された複数のメモリセルと、それぞれ複数行に対応して設けられた複数のワード線と、それぞれ複数列に対応して設けられた複数組の第1および第2のビット線とを含むメモリアレイと、各第1および第2のビット線に対応して設けられ、対応のビット線間に生じた電位差を第1の電源電位および基準電位の電位差に増幅するセンスアンプと、行アドレス信号に従って複数のワード線のうちのいずれかのワード線を選択し、そのワード線に対応する各メモリセルを活性化させる行デコー

ダと、複数組の第 1 および第 2 のビット線に共通に設けられ、予め第 2 の電源電位に充電された第 1 および第 2 の読出データ線と、それぞれ複数組の第 1 および第 2 のビット線に対応して設けられた複数の読出列選択線と、読出動作時において、列アドレス信号に従って複数の読出列選択線のうちのいずれかの読出列選択線を選択し、選択した読出列選択線を第 2 の電源電位にする読出列デコーダと、各第 1 および第 2 のビット線に対応して設けられ、読出列デコーダによって対応の読出列選択線が第 2 の電源電位にされたことに応じて、対応の第 1 および第 2 のビット線の電位差を第 1 および第 2 の読出データ線に伝達させる読出列選択ゲートと、第 1 および第 2 の読出データ線の電位差に基づいて、行デコーダおよび列デコーダによって選択されたメモリセルのデータ信号を読出す読出回路とが設けられる。読出列選択ゲートは、第 1 の読出データ線と基準電位のラインとの間に直列接続され、それらのうちの一方のトランジスタのゲート電極が対応の第 1 のビット線に接続され、他方のトランジスタのゲート電極が対応の読出列選択線に接続された第 1 および第 2 のトランジスタと、第 2 の読出データ線と基準電位のラインとの間に直列接続され、それらのうちの一方のトランジスタのゲート電極が対応の第 2 のビット線に接続され、他方のトランジスタのゲート電極が対応の読出列選択線に接続された第 3 および第 4 のトランジスタとを含む。したがって、読出列選択ゲートに接続されるビット線対を第 1 の電源電位で駆動し、読出列選択線を第 2 の電源電位で駆動することによって、第 1 の電源電位が低くなり、同時に第 2 の電源電位が高くなった場合においても、タイミングマージンは十分に確保される。これにより、タイミングマージンが大きく、動作の高速化と安定化が可能な半導体記憶装置が実現できる。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 による D R A M の全体構成を示すブロック図である。

【図 2】 図 1 に示した D R A M のレイアウト図である。

【図 3】 図 2 に示したメモリマット 1 1 の構成を示すブロック図である。

【図 4】 図 3 に示したメモリブロック M B の構成を示す図である。

【図 5】 図 3 に示したセンスアンプ帯 S A 2 の 1 つの列の構成を詳細に示

す回路図である。

【図 6】 図 2 に示したデコーダ帯単位回路 1 5 の構成を示すブロック図である。

【図 7】 図 2 に示したデータバス帯単位回路 1 6 の構成を示すブロック図である。

【図 8】 この発明の実施の形態 2 による D R A M のレイアウト図である。

【図 9】 図 8 に示したメモリマット 8 1 に設けられたセンスアンプ帯 S A 2 の 1 つの列の構成を詳細に示す回路図である。

【図 1 0】 図 8 に示したデータバス帯単位回路 8 2 の構成を示すブロック図である。

【図 1 1】 この発明の実施の形態 3 による D R A M のレイアウト図である。

【図 1 2】 図 1 1 に示したメモリマット 1 1 1 に設けられたセンスアンプ帯 S A 2 の 1 つの列の構成を詳細に示す回路図である。

【図 1 3】 図 1 1 に示したデコーダ帯単位回路 1 1 2 の構成を示すブロック図である。

【図 1 4】 図 1 1 に示したデータバス帯単位回路 1 1 3 の構成を示すブロック図である。

【図 1 5】 実施の形態 3 の比較例を示す回路図である。

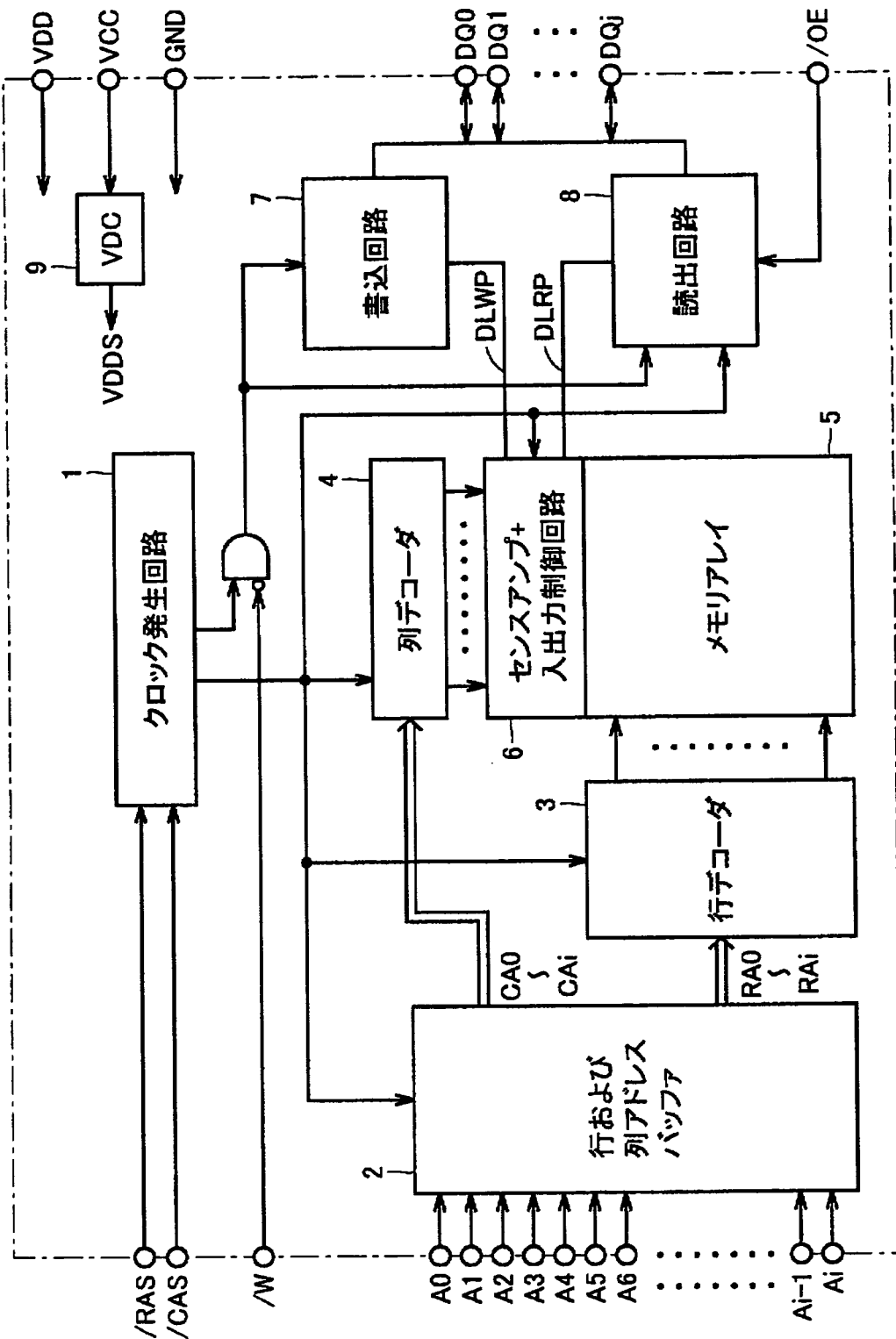
【符号の説明】

1 クロック発生回路、2 行および列アドレスバッファ、3 行デコーダ、4 列デコーダ、5 メモリアレイ、6 センスアンプ+入出力制御回路、7 書込回路、8 読出回路、9 V D C、1 1, 8 1, 1 1 1 メモリマット、1 2 中央制御帯、1 3 デコーダ帯、1 4 データバス帯、1 5, 1 1 2 デコーダ帯単位回路、1 6, 8 2, 1 1 3 データバス帯単位回路、C S L W 書込列選択線、C S L R 読出列選択線、W L ワード線、D L W P 書込データ線対、D L R P 読出データ線対、M A 1 ~ M A n メモリアレイ、S A 1 ~ S A n + 1 センスアンプ帯、M B メモリブロック、S B センスブロック、M C メモリセル、B L, / B L ビット線、Q, 2 5 ~ 2 9, 3 3 ~ 4 5, 9 2 ~

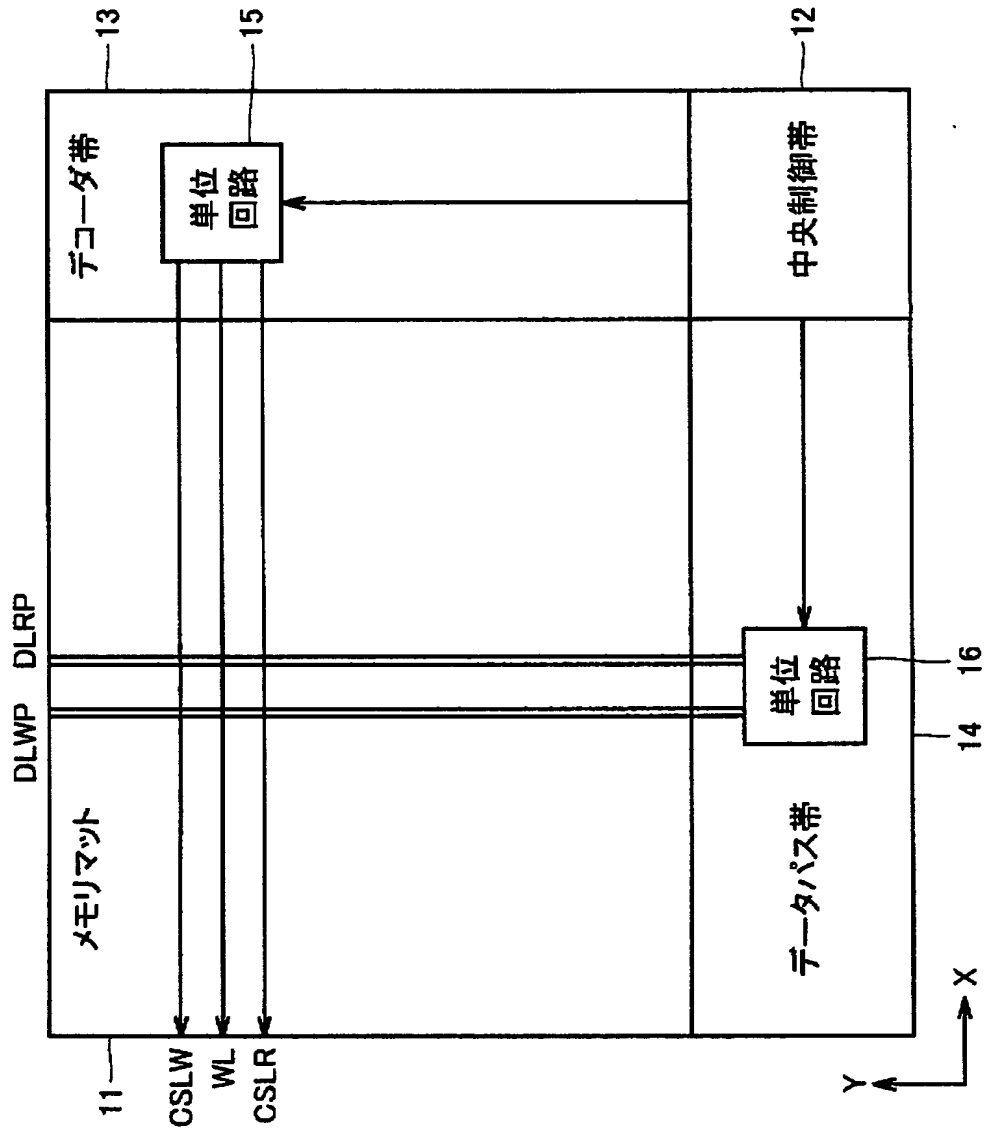
95, 122~125, 152, 153 NチャネルMOSトランジスタ、C
 キャパシタ、/DLW, DLW 書込データ線、/DLR, DLR 読出データ
 線、21, 46, 61 イコライザ、22 センスアンプ、23 読出列選択ゲ
 ート、24, 91 書込列選択ゲート、30~32, 62~64 PチャネルM
 OSトランジスタ、51 行デコーダ単位回路、52, 55 レベルシフタ、5
 3 ワードドライバ、54, 57, 131, 134 列デコーダ単位回路、56
 , 58, 133, 135 CSLドライバ、65 プリアンプ、66, 69, 1
 02 論理ゲート回路、67, 68, 70, 101, 103 フリップフロップ
 回路、71, 141 ライトドライバ、ZWM ライトマスク線、104 ライ
 トマスクドライバ、CSLL, CSLU, CSL 列選択線、DLP データ線
 対、DL, /DL データ線、121, 151 列選択ゲート。

【書類名】 図面

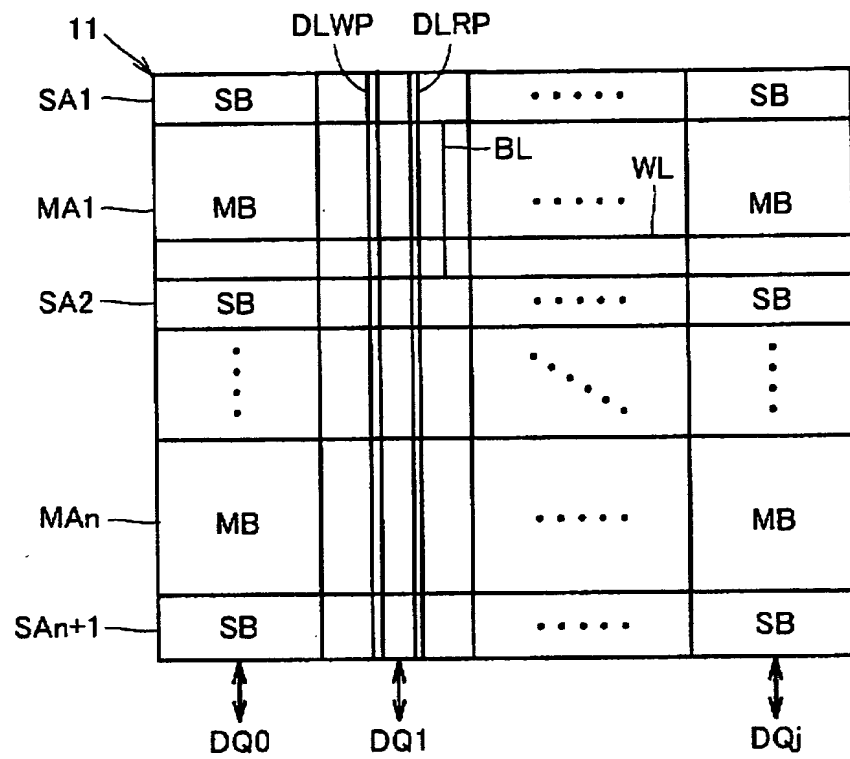
【図 1】



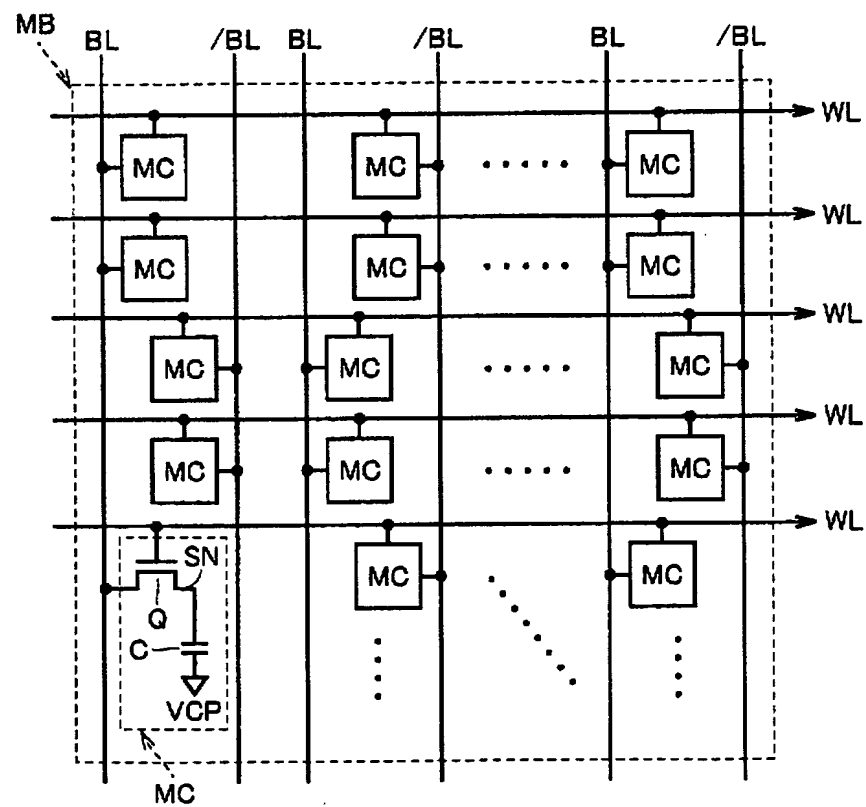
【図 2】



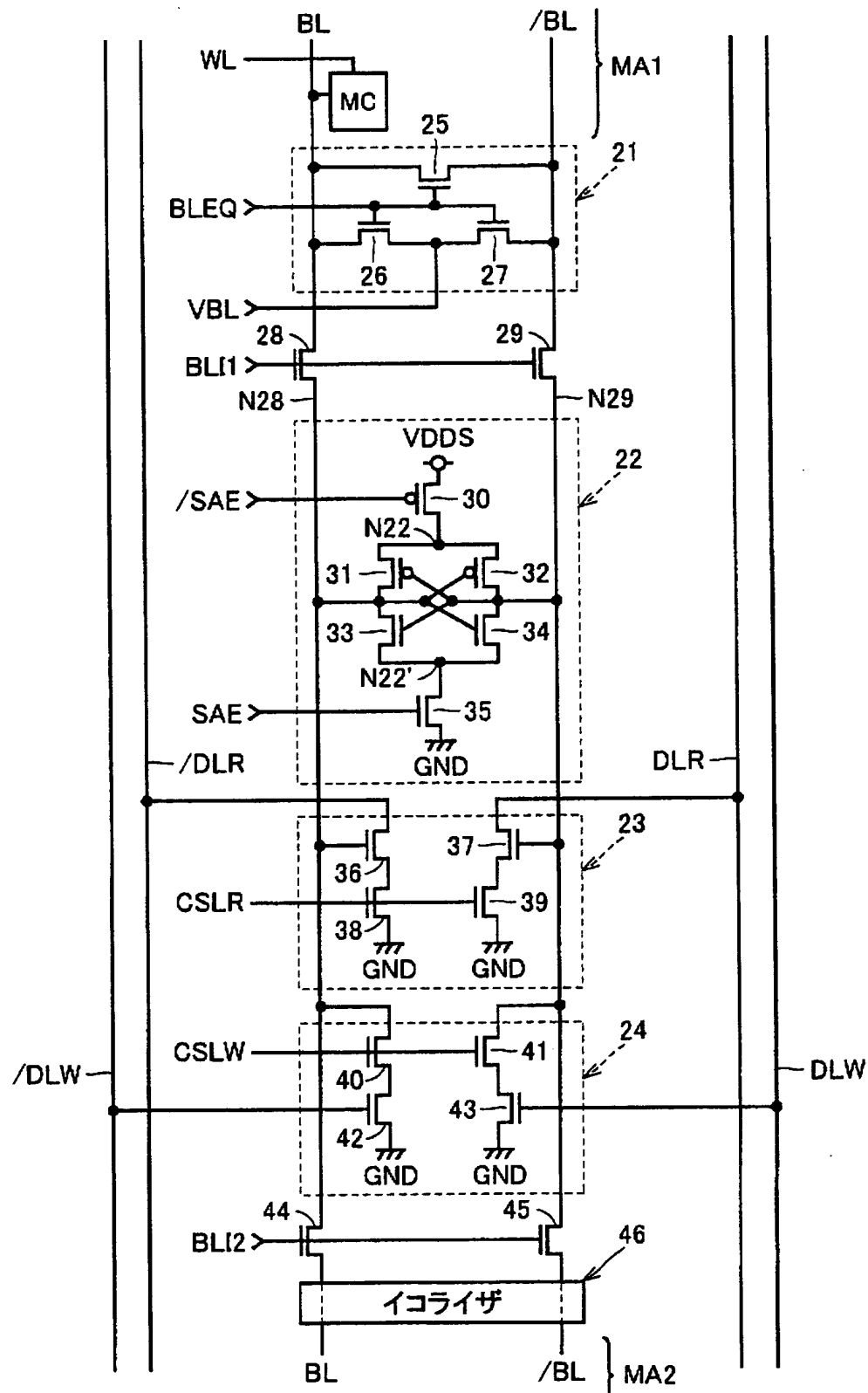
【図 3】



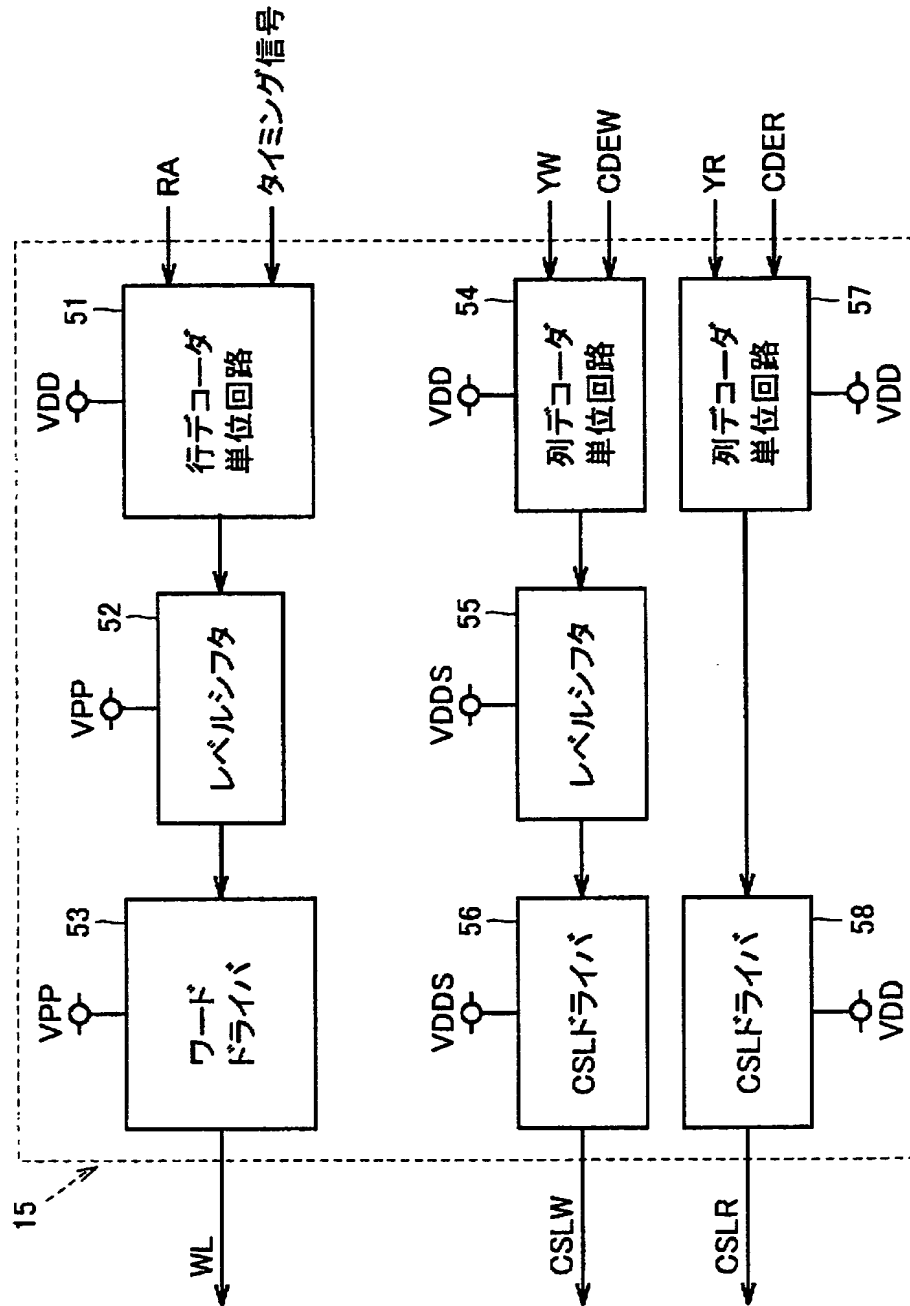
【図 4】



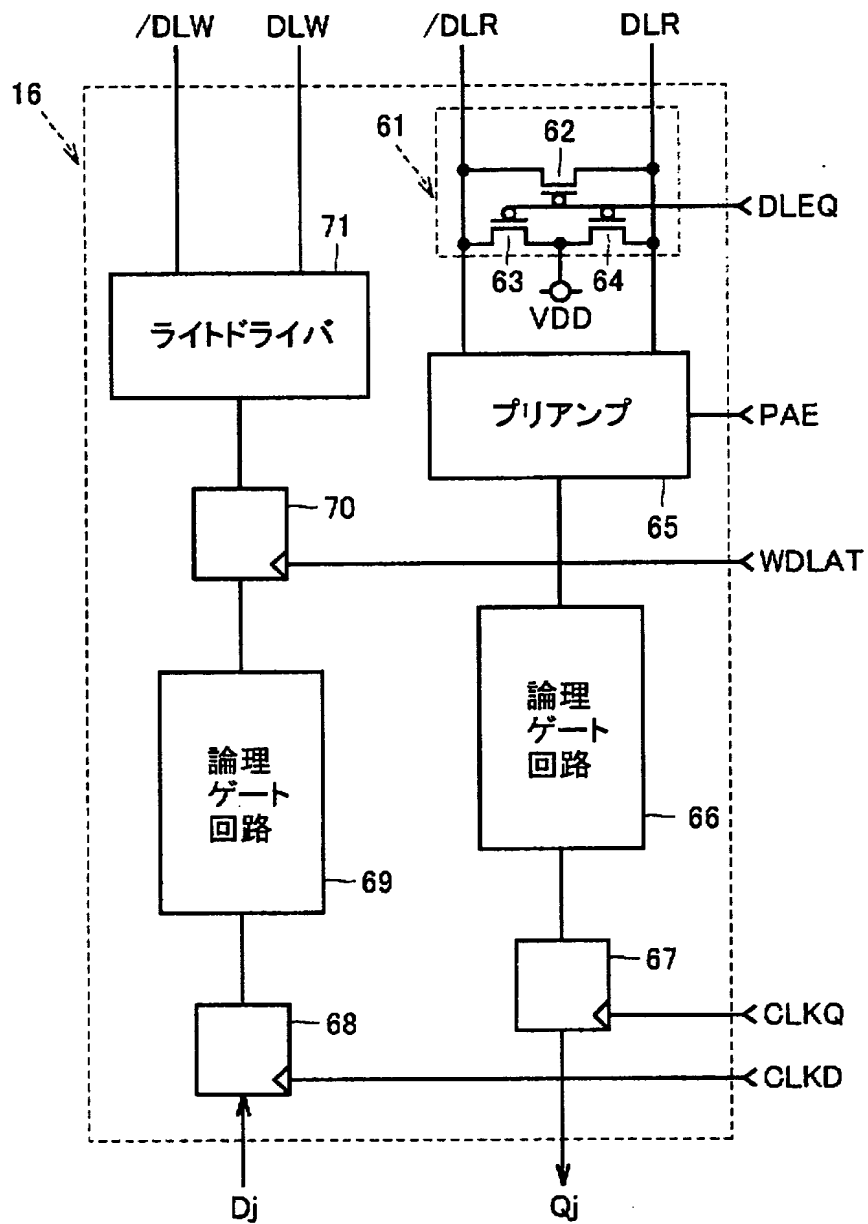
【図 5】



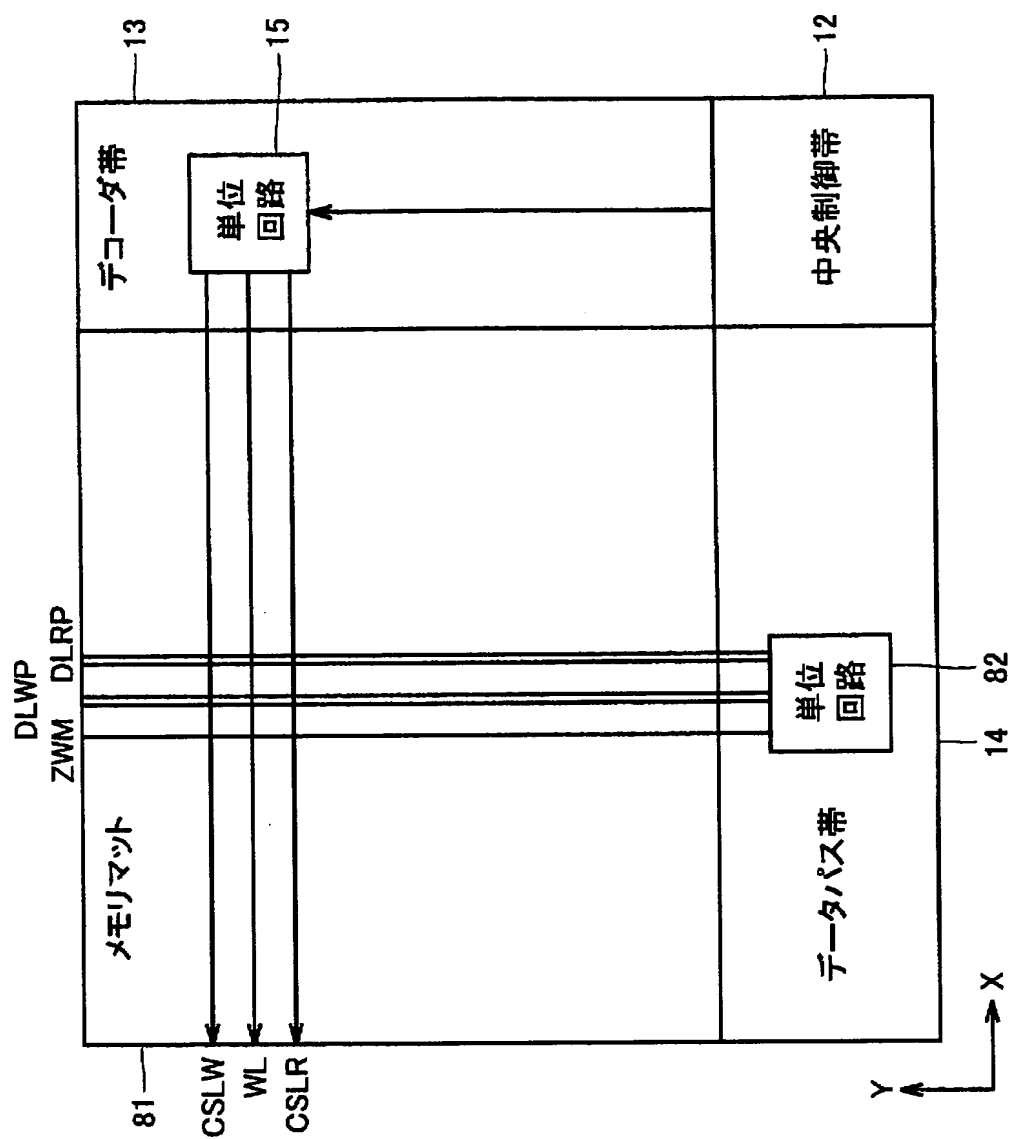
【図 6】



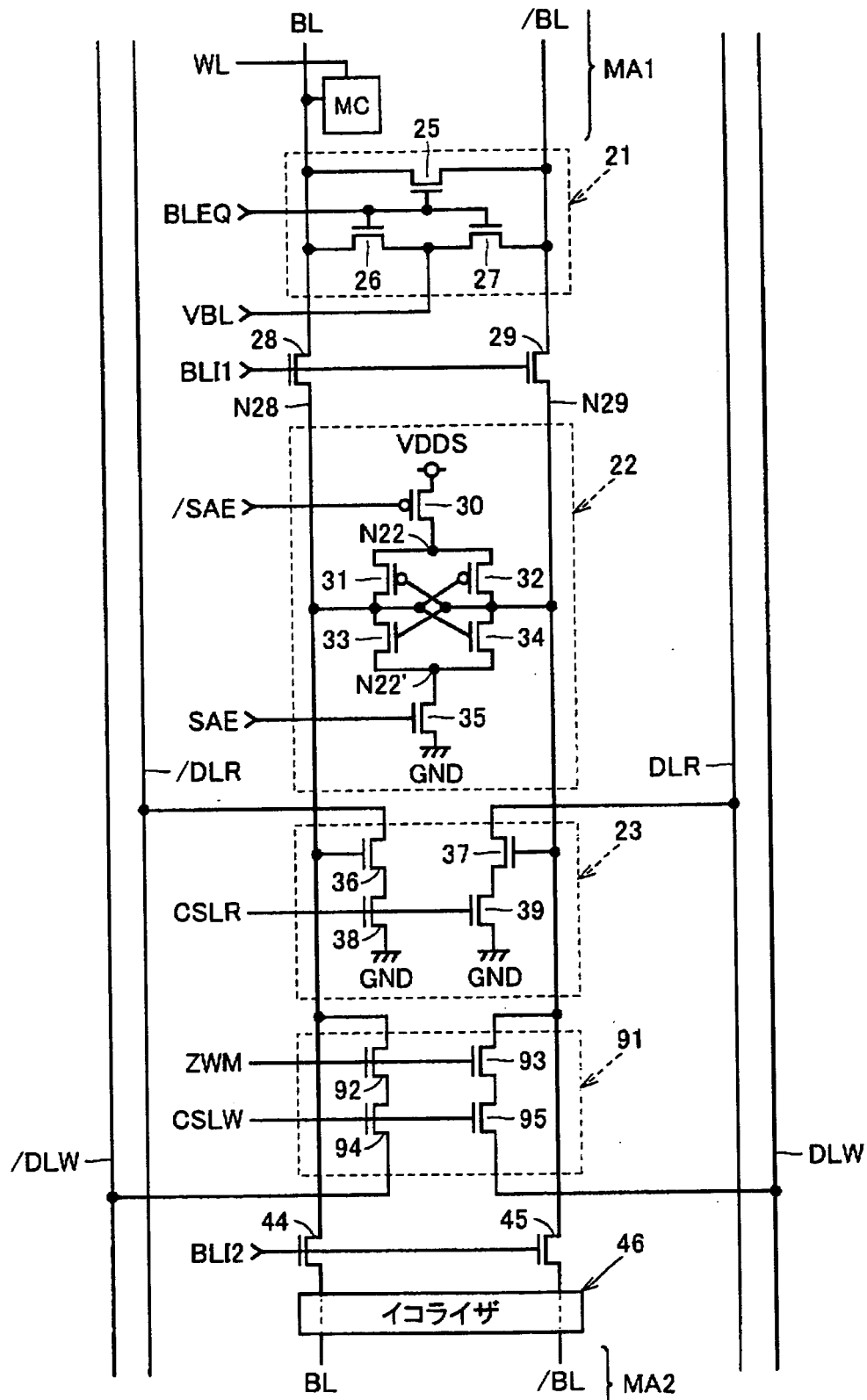
【図 7】



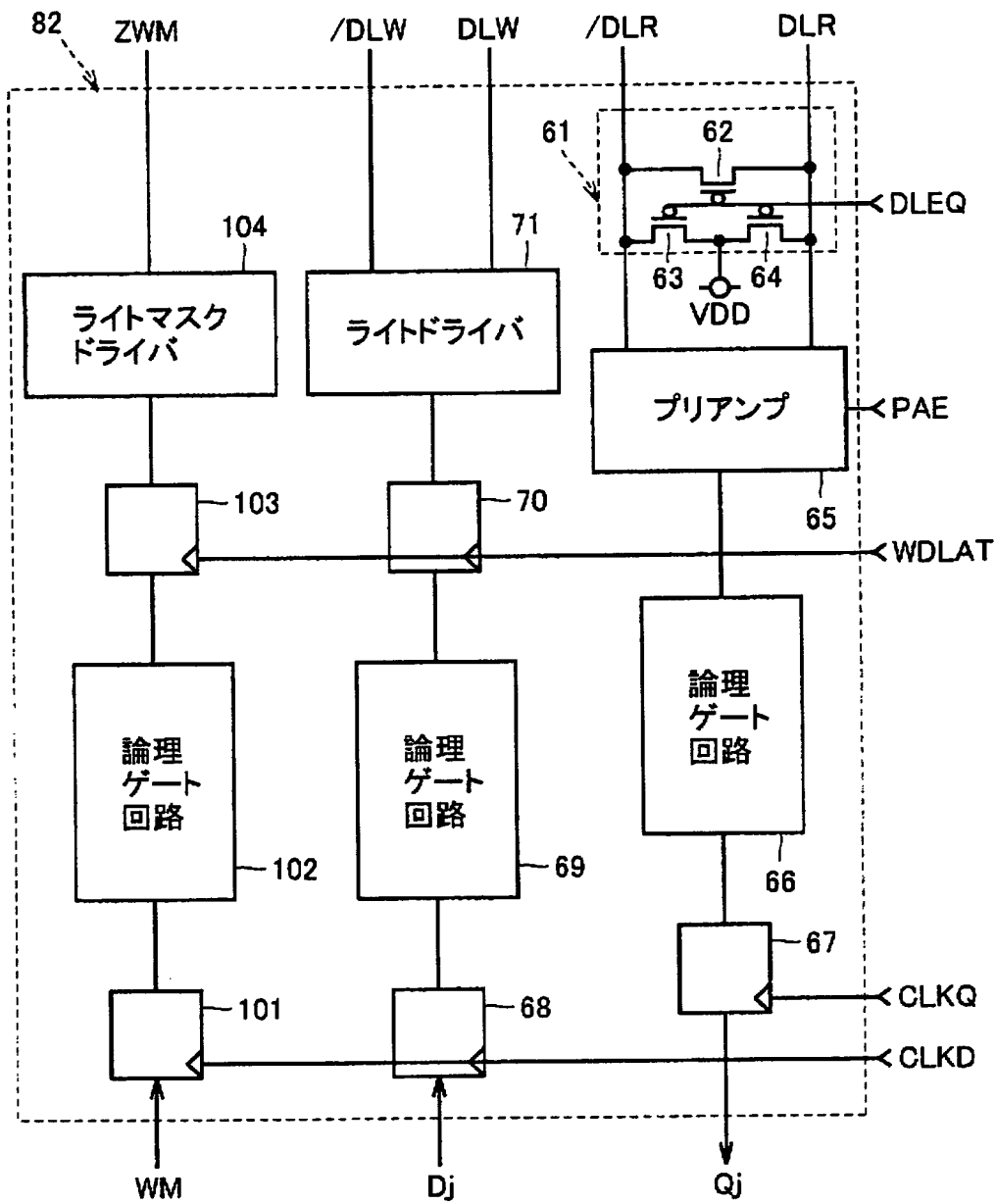
【図 8】



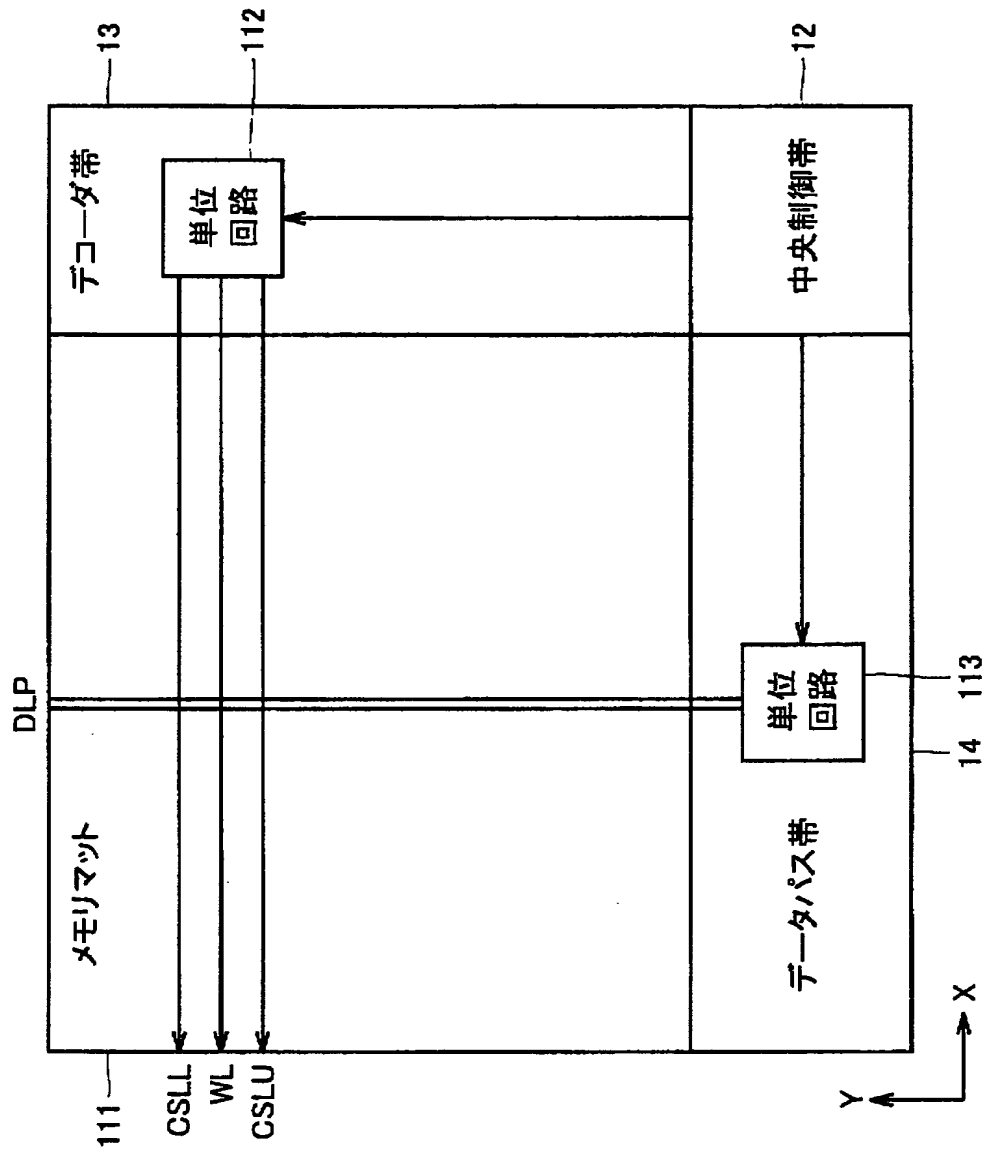
【図 9】



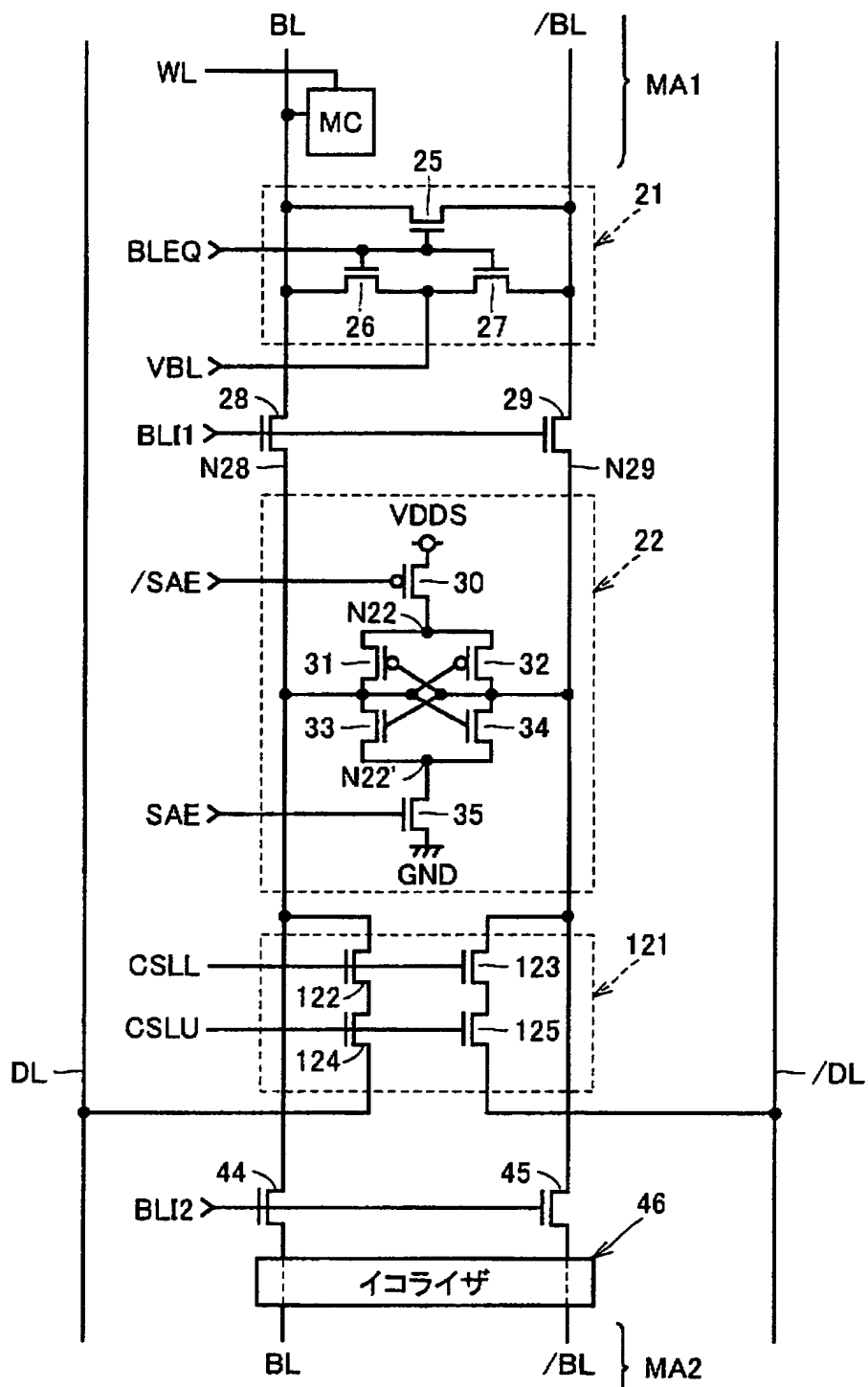
【図10】



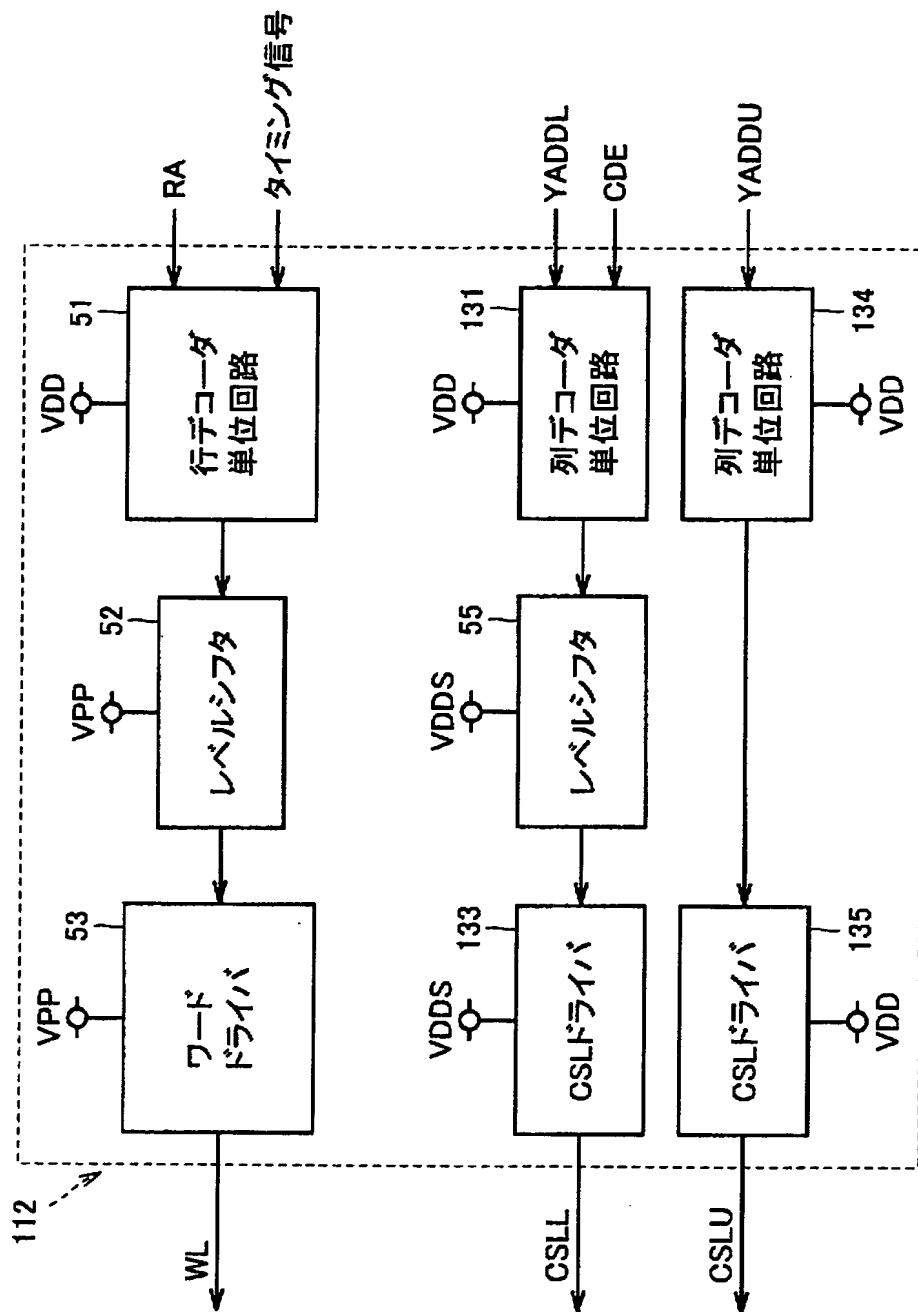
【図 1 1】



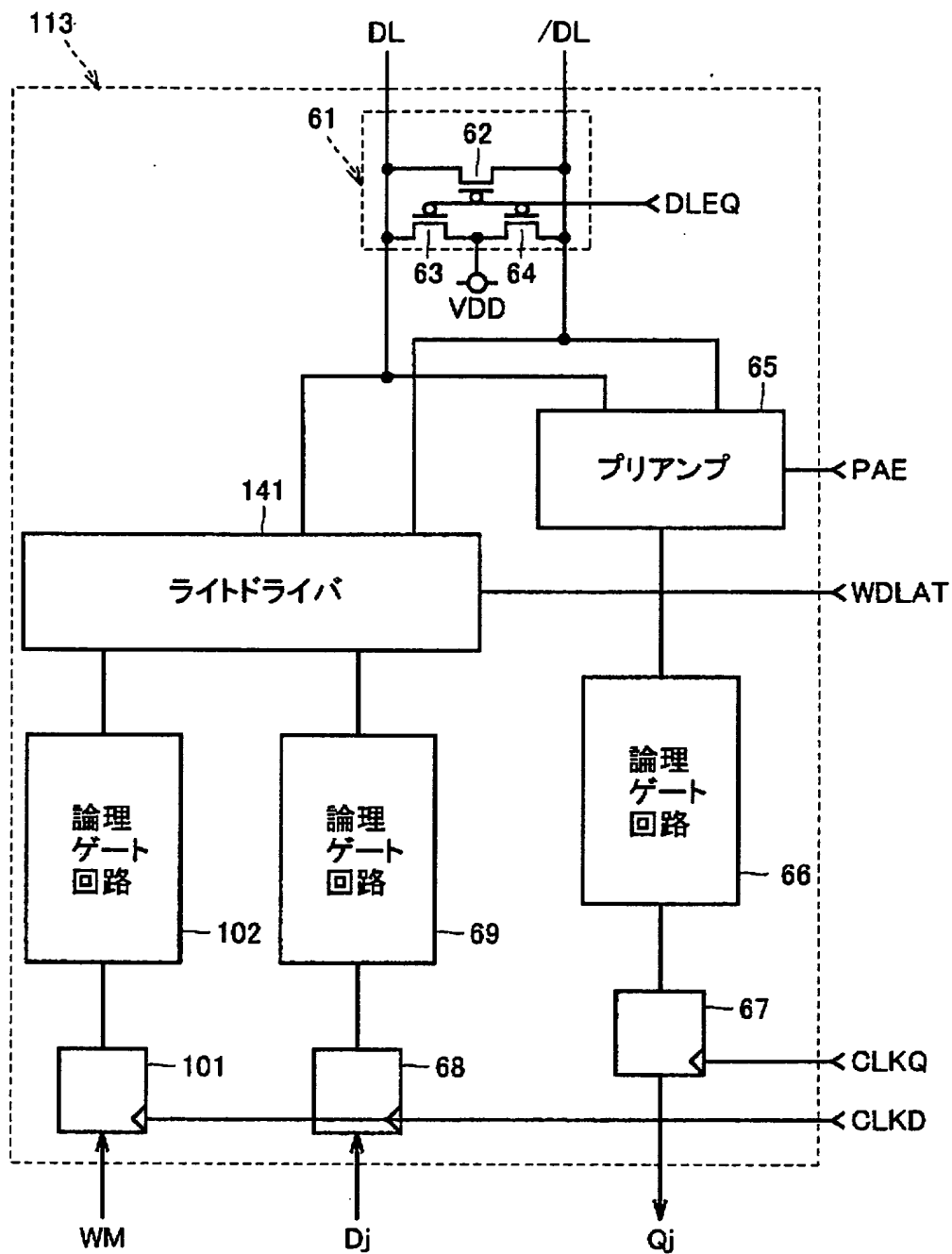
【図 12】



【図13】



【图 14】



【書類名】 要約書

【要約】

【課題】 タイミングマージンが大きく、動作の高速化と安定化が可能な半導体記憶装置を提供する。

【解決手段】 このDRAMは、読出列選択ゲート23に接続されるノードN28, N29すなわちビット線対BL, /BLをアレイ用電源電圧VDD_Sで駆動し、読出列選択線CSLRを周辺回路用電源電圧VDDで駆動する。このため、アレイ用電源電圧VDD_Sが低くなり、周辺回路用電源電圧VDDが高くなった場合でも、読出列選択ゲート23において読出データ線/DLRまたはDLRから電荷が引抜かれる速度はそれ程遅くはならない。したがって、プリアンプ活性化信号PAEの遅延量が小さい場合でも、読出データ線対/DLR, DLR間の電位差が小さなうちにプリアンプが活性化されてしまうという誤動作を起こす可能性は低く、タイミングマージンは十分に確保される。

【選択図】 図5

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 6 0 1 3]

1. 変更年月日 1 9 9 0 年 8 月 2 4 日

[変更理由] 新規登録

住 所 東京都千代田区丸の内 2 丁目 2 番 3 号
氏 名 三菱電機株式会社